

10-0250653

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H04N 9/31	(45) 공고일자 2000년 04월 01일
	(11) 등록번호 10-0250653
	(24) 등록일자 2000년 04월 07일
(21) 출원번호 10-1996-0044673	(65) 공개번호 특 1997-0025309
(22) 출원일자 1996년 10월 05일	(43) 공개일자 1997년 05월 30일
(30) 우선권주장 95-256615 1995년 10월 05일 일본(JP) 95-256618 1995년 10월 05일 일본(JP) 95-256629 1995년 10월 05일 일본(JP)	
(73) 특허권자 가부시끼가이샤 도시바	도시바, 타이포
(72) 발명자 왕분국 가나가와켄 가와사키시 사마와미쿠 호리카와조 72번지 도조 마사유키 일본국 효고켄 히메지시 요베쿠 가미요베 50 가부시끼가이샤 도 시바 히메지 공장내 가와노 히데오 일본국 효고켄 히메지시 요베쿠 가미요베 50 가부시끼가이샤 도 시바 히메지 공장내 구보 아키라 일본국 효고켄 히메지시 요베쿠 가미요베 50 가부시끼가이샤 도 시바 히메지 공장내 시부사와 마코토 일본국 효고켄 히메지시 요베쿠 가미요베 50 가부시끼가이샤 도 시바 히메지 공장내 미이즈카 데츠야 일본국 가나가와켄 가와사키시 가와사키쿠 나사초7번지 1 도시 비덴자 엔지 니머링 가부시끼가이샤 니카이 다미오 일본국 효고켄 히메지시 요베쿠 가미요베 50 가부시끼가이샤 도 시바 히메지 공장내 모리 가즈시게 일본국 효고켄 히메지시 요베쿠 가미요베 50 가부시끼가이샤 도 시바 히메지 공장내 김명선	
(74) 대리인 김명선	

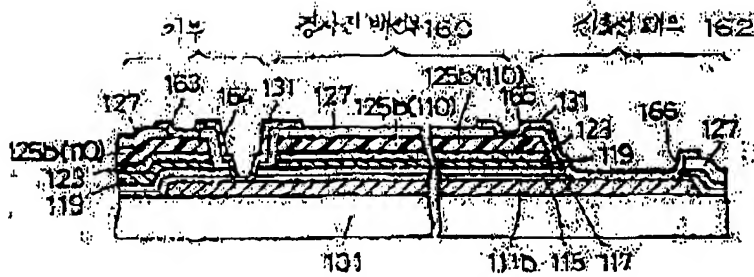
실시예 : 광학군

(54) 표시장치를 어레이 기판 및 그 제조방법

요약

본 발명은 액정표시장치 등의 평면표시장치에 사용되는 표시장치를 어레이 기판 및 그 제조 방법에 관한 것으로서, 주사선(111)의 위에 제1절연막(115, 117)의 위에 반도체막(120)의 반도체막(120)에 전기적으로 접속된 소스 전극(126b)과 드레인 전극(126a)을 포함하는 박막트랜지스터(112), 드레인 전극(126a)으로부터 도출되고 주사선(111)과 거의 직교하는 신호선(110) 및 소스 전극(126b)과 전기적으로 접속된 화소전극(131)을 구비한 표시장치를 어레이 기판에 있어서, 상기 화소전극(131)은 적어도 신호선(110)상에 배치된 제2절연막(127)을 통하여 소스 전극(126b)에 전기적으로 접속되고, 또한 상기 화소전극(131)은 제1 및 제2절연막(115, 117, 127)을 통하여 인접하는 주사선(111)으로부터의 연재열역(113)과 중첩되어 있는 것을 특징으로 한다.

도면



도면

[발명의 명칭]

표시장치를 어레이 기판 및 그 제조방법

[도면의 간단한 설명]

- 제1도는 본 발명의 한 실시예의 어레이 기판의 일부 개략 평면도,
제2도는 제1도에 있어서 A-A 선을 따라서 절단한 액정표시장치의 개략 단면도,
제3도는 제1도에 있어서 B-B 선을 따라서 절단한 액정표시장치의 개략 단면도,
제4도는 제1도에 있어서 C-C 선을 따라서 절단한 액정표시장치의 개략 단면도,
제5도는 제1도에 있어서 D-D 선을 따라서 절단한 액정표시장치의 개략 단면도,
제6도는 제1도에 있어서 E-E 선을 따라서 절단한 액정표시장치의 개략 단면도,
제7도는 제1도에 있어서 어레이 기판을 제조하는 제1공정을 설명하기 위한 도면,
제8도는 제1도에 있어서 어레이 기판을 제조하는 제2공정을 설명하기 위한 도면,
제9도는 제1도에 있어서 어레이 기판을 제조하는 제3공정을 설명하기 위한 도면,
제10도는 제1도에 있어서 어레이 기판을 제조하는 제4공정을 설명하기 위한 도면,
제11도는 제1도에 있어서 어레이 기판을 제조하는 제5공정을 설명하기 위한 도면,
제12도는 제1도에 있어서 어레이 기판을 제조하는 제6공정을 설명하기 위한 도면,
제13도는 제1도에 있어서 어레이 기판을 제조하는 제7공정을 설명하기 위한 도면,
제14도는 전호선의 외주부 부근의 구조의 변경예를 나타낸 도면,
제15도는 본 발명의 제2실시예의 어레이 기판의 일부 개략 평면도,
제16도는 제15도에 있어서 A-A 선을 따라서 절단한 액정표시장치의 개략 단면도,
제17도는 제15도에 있어서 B-B 선을 따라서 절단한 액정표시장치의 개략 단면도,
제18도는 제15도에 있어서 C-C 선을 따라서 절단한 액정표시장치의 개략 단면도,
제19도는 제15도에 있어서 D-D 선을 따라서 절단한 액정표시장치의 개략 단면도,
제20도는 제15도에 있어서 어레이 기판을 제조하는 제1공정을 설명하기 위한 도면,
제21도는 제15도에 있어서 어레이 기판을 제조하는 제2공정을 설명하기 위한 도면,
제22도는 제15도에 있어서 어레이 기판을 제조하는 제3공정을 설명하기 위한 도면,
제23도는 제15도에 있어서 어레이 기판을 제조하는 제4공정을 설명하기 위한 도면,
제24도는 제15도에 있어서 어레이 기판을 제조하는 제5공정을 설명하기 위한 도면,
제25도는 제15도에 있어서 어레이 기판을 제조하는 제6공정을 설명하기 위한 도면,
제26도는 제15도에 있어서 어레이 기판을 제조하는 제7공정을 설명하기 위한 도면,
제27도는 제2실시예의 변경예의 어레이 기판의 일부 개략 평면도,
제28도는 본 발명의 제3실시예의 어레이 기판의 일부 개략 평면도,
제29도는 제28도에 있어서 A-A 선을 따라서 절단한 액정표시장치의 개략 단면도,
제30도는 제28도에 있어서 B-B 선을 따라서 절단한 액정표시장치의 개략 단면도.

110. 산호선	111. 주사선
112. 박막트랜지스터	113. 명재(鳴在)영모
115.117. 제1집연막	120. 만도제약
126. 드레인전극	126. 소스전극
131. 화소전극	

게이트 단자부가 게이트 단자 하부 전극과 그 위의 게이트 절연막과 공통의 층을 이루는 절연막 및 패시베이션(passivation)막에 개구된 접속구를 통하여 게이트 단자 하부 전극상에 접속되어 화소전극과 동일 재료의 투명전극으로 이루어진 게이트 단자 상부 전극으로 구성되며, 보조용량부는 Cs전극과 그 위의 절연막 및 1층 반도체층으로 이루어진 유전체막과, 그 위의 2층 반도체층 및 금속층으로 이루어진 대항전극으로 구성되어 있다.

그러나, 이러한 구조의 여러대 기관이면 보조용량부에 전압을 인가하는 경우에 동일한 전위로 인가하기 어려움 문제점이 있었다.

따라서, 본 발명은 상기 문제점을 감안하여 각 보조용량부에 동일한 전위로 정밀하게 인가하는 구성을 가진 여러대 기관을 제공한다.

본 발명의 제1태양에 따르면, 기관상에 배치되는 주사선과, 이 위에 배치되는 제1절연막, 이 위에 배치되는 반도체막, 상기 반도체막에 전기적으로 접속되는 소스전극 및 드레인전극을 포함하는 박막트랜지스터와, 상기 드레인전극으로부터 도출되어 상기 주사선과 대략 직교하는 신호선과, 상기 소스전극과 전기적으로 접속되는 화소전극을 구비한 표시장치용 여러대 기관에 있어서, 상기 화소전극은 적어도 상기 신호선상에 배치되는 제2절연막을 통하여 상기 소스전극에 전기적으로 접속되며, 또한 상기 화소전극은 상기 제1 및 제2절연막을 통하여 인접하는 상기 주사선과 중복되어 있는 것을 특징으로 하는 표시장치용 여러대 기관이 제공된다.

본 발명의 제2태양에 따르면, 기관상에 배치되는 주사선과, 이 위에 배치되는 제1절연막, 이 위에 배치되는 반도체막, 상기 반도체막위에 배치되는 채널 보호막, 상기 반도체막에 전기적으로 접속되는 소스전극 및 드레인전극을 포함하는 박막트랜지스터와, 상기 드레인전극으로부터 도출되어 상기 주사선과 대략 직교하는 신호선과, 상기 소스전극과 전기적으로 접속되는 화소전극을 구비한 표시장치용 여러대 기관의 제조방법에 있어서, 상기 기관상에 상기 주사선을 포함하는 제1배선층을 형성하는 공정과, 상기 제1절연막 및 반도체막을 퇴적하는 공정과, 금속박막을 퇴적하고, 적어도 상기 금속 박막 및 상기 반도체막을 통틀어 마스크에 의거하여 패터닝하여 상기 신호선, 상기 소스전극 및 상기 드레인전극을 포함하는 제2배선층을 형성하는 공정과, 제2절연막을 퇴적하고, 상기 소스전극에 대응하는 상기 제2절연막에 제1접속구를 형성하는 공정과, 상기 접속구를 통하여 상기 소스전극에 전기적으로 접속되고, 또한 상기 주사선과 상기 제1 및 제2절연막을 통하여 중복된 상기 화소전극을 형성하는 공정을 구비하는 것을 특징으로 하는 표시장치용 여러대 기관의 제조방법이 제공된다.

본 발명의 제1 및 제2태양에 따른 표시장치용 여러대 기관 및 그 제조방법에 의하면, 주사선과 신호선에 대해 적어도 화소전극이 절연막을 통하여 배치되어 있기 때문에 화소전극을 각 배선에 대해 용이하게 근접하여 배치할 수 있고, 이것에 의해 높은 개구율을 달성할 수 있다. 또한, 예를 들면 화소전극은 적어도 제1 및 제2절연막의 2개의 절연막을 통하여 인접하는 주사선으로부터의 면제영역과 중복하여 배치되어 있기 때문에, 화소전극의 중복영역을 증대해도 절연물리에 의한 수를 저하할 수 있다.

또한, 상기한 구성에 의해 화소전극과 주사선의 중복영역이 증대해도, 이것에 의해 보조용량이 크게 증대되는 것을 방지할 수 있다. 즉, 주사선과 화소전극을 중복시켜 보조용량을 형성하는 경우, 보조용량이 충분히 커져 주사선에 관련된 용량 부가가 줄어든다. 이것에 의해 소신전력의 증대 또는 주사필스의 지연에 따른 인력불량, 콘트라스트비의 저하 등 표시특성의 악화를 초래한다. 그러나, 본 발명에 의하면, 예를 들면 화소전극의 개구부율을 확립하기 위해 화소전극의 측면과 주사선의 면제영역을 중복시키도록 구성하고, 화소전극은 적어도 제1 및 제2절연막의 2개의 절연막을 통하여 인접하는 주사선으로부터의 면제영역과 중복되기 때문에 보조용량이 대폭으로 증대되지 않는다.

본 발명의 제3태양에 따르면, 기관상에 배치되는 주사선과, 이 위에 배치되는 제1절연막, 이 위에 배치되는 반도체막, 상기 반도체막에 전기적으로 접속되는 소스전극 및 드레인전극을 포함하는 박막트랜지스터와, 상기 드레인전극으로부터 도출되어 상기 주사선과 대략 직교하는 신호선과, 상기 소스전극과 전기적으로 접속되는 화소전극을 구비한 표시장치용 여러대 기관의 제조방법에 있어서, 상기 주사선을 형성하는 제1공정과, 상기 제1절연막 및 반도체막을 퇴적하는 제2공정과, 금속박막을 퇴적하고, 상기 금속박막 및 상기 반도체막을 통틀어 마스크에 의거하여 패터닝하여 상기 신호선, 상기 소스전극 및 드레인전극을 형성하는 제3공정과, 제2절연막을 퇴적하고, 상기 소스전극에 대응하는 상기 제2절연막에 제1접속구를 형성하는 제4공정과, 상기 접속구를 통하여 상기 소스전극에 전기적으로 접속되고, 또한 상기 제1 및 제2절연막을 통하여 상기 주사선과 중복된 상기 화소전극을 형성하는 제5공정을 구비하며, 또한 상기 박막트랜지스터 이외의 위치, 상기 화소전극과 상기 인접하는 하나 또는 다른 주사선에 걸친 위치에 있어서, 상기 제2공정과 동시에 상기 제1절연막 및 반도체막을 퇴적하는 공정과, 상기 제3공정과 동시에 상기 금속박막을 퇴적하고, 상기 금속박막 및 상기 반도체막을 상기 마스크에 의거하여 패터닝하여 상기 광차폐층을 형성하는 공정과, 상기 제4공정과 동시에 상기 제2절연막을 퇴적하는 공정과, 상기 제5공정과 동시에 상기 하나 또는 다른 주사선의 일부를 덮도록 상기 화소전극을 형성하는 공정을 구비하는 것을 특징으로 하는 표시장치용 여러대 기관의 제조방법이 제공된다.

본 발명의 제4태양에 따르면, 기관상에 배치되어 게이트전극 영역을 포함하는 복수개의 주사선 및 상기 주사선과 대략 평행한 보조용량선과, 이 위에 배치된 제1절연막, 적어도 상기 게이트전극 영역상에 배치되는 반도체막, 상기 반도체막에 전기적으로 접속되는 소스전극 및 드레인전극을 포함하는 박막트랜지스터와, 상기 박막트랜지스터에 배치된 제2절연막과, 상기 드레인전극에 상기 제2절연막을 통하여 전기적으로 접속되는 상기 주사선과 대략 직교하는 신호선과, 상기 소스전극과 상기 제2절연막을 통하여 전기적으로 접속되는 화소전극을 구비한 표시장치용 여러대 기관에 있어서, 각 상기 보조용량선을 상기 각 보조용량선과 상기 제1 및 제2절연막을 통하여 대략 직교하는 방향으로 배치된 복음 배선을 포함하며, 상기 각 보조용량선과 상기 복음 배선은 도전층을 통하여 전기적으로 접속되는 보조용량선 연결부를 포함하는 것을 특징으로 하는 표시장치용 여러대 기관이 제공된다.

본 발명의 제5태양에 따르면, 기관상에 배치되는 주사선과, 이 위에 배치된 제1절연막, 이 위에 배치되는 반도체막, 상기 반도체막에 전기적으로 접속되는 소스전극 및 드레인전극을 포함하는 박막트랜지스터와, 상기 드레인전극으로부터 도출되어 상기 주사선과 대략 직교하는 신호선과, 상기 소스전극과 전기적으로

접속되는 화소전극을 구비한 표시장치를 여러이 기판에 있어서, 상기 기판상의 홀레 데두리부에 위치하는 주사선 단자부에 상기 주사선을 인접하는 주사선 인출부가 배치되며, 상기 주사선 인출부는 상기 주사선과 동일한 재료로 형성된 제1도전층 및 상기 제1도전층과 절연층을 통하여 상기 신호선과 동일한 재료로 형성된 제2도전층을 가지며, 상기 제1도전층과 상기 제2도전층을 상기 화소전극과 동일한 재료로 형성한 접속층으로 전기적으로 접속하는 것을 특징으로 하는 표시장치를 여러이 기판이 제공된다.

본 발명의 제6태양에 따르면, 기판상에 배치된 주사선과, 이 위에 배치된 제1절연막, 이 위에 배치된 반도체막, 상기 반도체막에 전기적으로 접속되는 소스전극 및 드레인전극을 포함하는 박막트랜지스터와, 상기 드레인전극으로부터 도출되어 상기 주사선과 대략 직교하는 신호선과, 상기 소스전극과 전기적으로 접속되는 화소전극을 구비한 표시장치를 여러이 기판에 있어서, 상기 기판상의 홀레 데두리부에 위치하는 신호선 단자부에 상기 신호선을 인출하는 신호선 인출부가 배치되며, 상기 신호선 인출부는 상기 주사선과 동일한 재료로 형성된 제1도전층 및 이 제1도전층과 절연층을 통하여, 상기 신호선과 동일한 재료로 형성된 제2도전층을 가지며, 상기 제1도전층과 상기 제2도전층을 상기 화소전극과 동일한 재료로 형성한 접속층으로 전기적으로 접속하는 것을 특징으로 하는 표시장치를 여러이 기판이 제공된다.

본 발명의 제7태양에 따르면, 기판상에 배치되는 주사선과, 이 위에 배치된 제1절연막, 이 위에 배치된 반도체막, 상기 반도체막에 전기적으로 접속된 소스전극 및 드레인전극을 포함하는 박막트랜지스터와, 상기 박막트랜지스터상에 배치되는 제2절연막과, 상기 드레인전극에 상기 제2절연막을 통하여 전기적으로 접속되는 상기 주사선과 대략 직교하는 신호선과, 상기 소스전극과 상기 제2절연막을 통하여 전기적으로 접속되는 화소전극과, 상기 신호선에 신호선 인출부를 통하여 전기적으로 접속되는 신호선 단자부와, 상기 주사선에 주사선 인출부를 통하여 전기적으로 접속되는 주사선 단자부를 구비한 표시장치를 여러이 기판에 있어서, 상기 신호선 단자부 및 주사선 단자부는 상기 주사선과 동일한 재료로 형성되는 제1도전층 및 이 제1도전층상에 배치되는 상기 화소전극과 동일한 재료로 형성되는 제2도전층을 구비한 것을 특징으로 하는 표시장치를 여러이 기판이 제공된다.

[제1실시예]

이하, 본 발명의 제1실시예의 역정표시장치(1)에 대해서 제1도 내지 제13도에 의거하여 설명한다.

이 역정표시장치(1)는 할라표시가 가능한 광투과성이며, 제2도에 도시한 바와 같이, 여러이 기판(100)과 대항기판(200) 사이에 콜리미이드수지로 이루어지고, 서로 직교하는 방향으로 배열처리가 이루어진 배열막(141), (241)을 통하여, 트루스트, 네마틱(TN)액정이 유지되어 있다. 또한, 여러이 기판(100)과 대항기판(200)의 외부 표면에는 각각 편광판(311)(313)이 부착되어 구성되어 있다.

제1도는 여러이 기판(100)의 개략 평면도를 도시한 것이며, 도면중의 화복측이 역정표시장치(1)의 화면 상부측에 위치하는 것으로서, 도면중 하부측으로부터 상부측을 향해서 주사선이 차례로 선택되는 것이다.

여러이 기판(100)은 유리기판(101)상에 배치되는 480개의 Si-Y 합금으로 이루어진 주사선(111)을 포함하며, 각 주사선(111)의 한 단은 유리기판(101)의 한 단면(101a)측으로 인출되어 경사진 배선부(150)를 거쳐 주사선 패드(152)에 전기적으로 접속된다. 여기서는 주사선(111)을 Si-Y 합금으로 구성했지만, Mo-W 합금, Mo-W 합금 또는 Si 또는 그 합금 등으로 구성해도 상관없다.

여러이 기판(100)은 유리기판(101)상에 주사선(111)과 대략 직교하는 1920개의 Mo-W 합금으로 이루어진 신호선(110)을 포함하며, 각 신호선(110)은 유리기판(101)의 다른 한 단면(101b)측으로 인출되어 경사진 배선부(160)를 거쳐 신호선 패드(162)에 전기적으로 접속된다. 여기서는 신호선(110)을 Mo-W 합금으로 구성했지만, Mo-W 합금, Si 또는 그 합금 등으로 구성해도 상관없다.

이 주사선(111)과 신호선(110)의 교점 부근 근방에는 TFT(112)가 배치되어 있다. 또한, 이 TFT(112)에 접속되는 110로 이루어진 화소전극(131)이 주사선(111) 및 신호선(110)상에 홀라 절연막(127)을 통하여 배치되어 있다. 이 홀라 절연막(127)으로서 는 절화실리콘막과 산화실리콘막 등의 무기절연막 또는 마그네슘계 등의 유기수지피막으로 구성할 수 있지만, 이 무기절연막과 유기수지피막과의 다층막으로 구성함으로써, 평면 편광성 및 홀라절연성은 더욱 향상된다.

(TFT 영역의 구조)

TFT(112)영역의 구조에 대해서 설명한다.

각 주사선(111)은 서로 인접하는 화소전극(131)의 신호선(110)을 따른 단면(131a), (131b)과 중복되도록 가는 선형상으로 연장된 연재영역(113)을 포함한다. 화소전극(131)과 화소전극(131)에 대응하는 주사선(111)에 대해 전단(前段)의 주사선(111)으로부터의 연재영역(113)과 중복영역(08)은 제6도에 도시한 바와 같이, 제1게이트 절연막(115), 제2게이트 절연막(117) 및 홀라 절연막(127)을 통하여 서로 중복되며, 이 중복영역(08)에 의해 보조음향(Ca)이 구성된다. 또한, 이 실시예에서는 화소전극(131)은 전단의 주사선(111) 자체 모두 제1게이트 절연막(115), 제2게이트 절연막(117) 및 홀라 절연막(127)을 통하여 서로 중복되며, 이 중복영역에서도 보조음향(Cs)이 구성된다.

이 여러이 기판(100)에 대한 대항기판(200)은 유리기판(201)상에 배치되며, TFT(121)영역: 신호선(110) 및 주사선(111)과 화소전극(131)의 등을 차광하는 매트릭스형상의 수직성 차광막(211)을 포함한다. 또한, 화소전극(131)에 대응하는 영역에는 각각 화(R), 녹(G) 및 청(B)의 컬러필터(221)가 배치되며, 이 위에 투과전극 재료로 이루어진 대항전극(231)이 배치되어 구성된다.

이상과 같이, 이 역정표시장치(1)의 여러이 기판(100)에 의하면, 신호선(110) 및 주사선(111)과 화소전극(131)의 사이에는 홀라 절연막(127) 또는 제1 및 제2게이트 절연막(115), (117) 및 홀라 절연막(127)이 각각 배치되어 있기 때문에 화소전극(131)을 각 배선(110), (111)에 대해 충분히 근접 또는 중첩하여 배치할 수 있고, 이것에 의해 고개구율화할 실현할 수 있다.

또한, 이 실시예에 의하면, 보조음향(Ca)이 화소전극(131)과 이 화소전극(131)과 인접하는 주사선(111)으로부터 연장되는 연재영역(113)과의 사이에서 형성되기 때문에, 불도 보조음향선동을 배치할 필요가 없고, 더욱 고개구율화가 가능하게 된다. 특히, 이 실시예에서는 TFT(112)는 주사선(111)으로부터 신호선

(110)을 따라서 도출되는 영역을 게이트트랙으로서 구성되기 때문에 화소전극(131)은 전단의 주사선(111) 자체에도 중첩시킬 수 있다. 이것에 의해, 충분한 보조용량선(Cs)의 확보와 개구율화가 동시에 달성된다.

그리고, 화소전극(131)과 주사선(111) 및 연재영역(113) 사이에는 3종류의 절연막(115), (117), (127)이 각각 적층 배치되어 있기 때문에, 본 실시예의 구조에 기인한 종간 소트 등의 발생도 매우 경감된다.

따라서, 이 실시예에서는 화소영역이 대항가판(200)에 배치되는 차광막(211)이 아니라, 어레이 기판(100) 상의 주사선(111) 및 그 연재영역(113)에 의해서 형성된다. 따라서, 어레이 기판(100)과 대항가판(200)을 맞추는 정밀도에 의하지 않고, 주사선(111)을 패터닝하는 제1마스크 패터닝과 화소전극(131)을 패터닝하는 제5마스크 패터닝을 맞추는 정밀도에 의해서만 결정되기 때문에, 어레이 기판(100)과 대항가판(200)을 맞추는 것이, 여분의 정밀도 고려하여 차광막(211) 쪽에 마진을 설치할 필요가 없기 때문에 더욱 개구율화의 실현이 가능하게 된다.

또한, 화소전극을 형성하기 위하여 주사선(111)의 연재영역(113)을 화소전극(131)의 신호선(110)을 따르는 단면(131b)(131b)을 따라서 충분히 연재시켜도, 이 실시예에 의하면 화소전극(131)과 주사선(111)의 연재영역(113) 사이에는 제1게이트 절연막(115) 및 제2게이트 절연막(117)위에 종간 절연막(127)이 배치되어 있기 때문에 손상성을 손상시키지 않고 보조용량(Cs)의 대폭적인 증대를 억제할 수 있다.

또한, 제5도에 도시한 바와 같이, 신호선(110)의 음극과 저저항반도체막(124a) 및 반도체막(120)의 음극이 일치되어 있다. 더욱 자세하게는 신호선(110)과 주사선(111)의 교차부에는 반드시 제1.내지 제2게이트 절연막(115), (117)위에 저저항반도체막(124a) 및 반도체막(120)이 적층되어 있다. 이 때문에, 각 패터닝을 할 때 마스크 어긋남이 생겨도, 신호선(110)과 주사선(111) 사이의 용접변동이 없고, 제곱관에 주사선 등량 또는 신호선 등량의 변동이 경감된다.

또한, 신호선(110)과 주사선(111)의 교차부에 있어서, 정전기, 과전압의 손상이 또는 각 절연막(115), (117)의 관통에 기인하는 용간소트도 억제되어 높은 제조수율을 확보할 수 있다.

또한, 제6도에 도시한 바와 같이, 신호선(110)의 음극과 저저항반도체막(124a) 및 반도체막(120)의 음극이 일치되어 있기 때문에, 종래와 같이 다른 공정으로 패터닝되는 것과는 달리, 각 패터닝을 할 때 마스크 어긋남이 생겨도, 신호선(110)과 주사선(111)의 연재 영역(113) 사이에 생기는 등량 변동도 충분히 억제할 수 있다.

또한, 신호선(110)과 주사선(111)의 연재영역(113)을 중첩, 즉 제6도에 있어서 신호선(111)을 통하여 인접하여 배치되는 연재영역(113)을 신호선(111) 아래에서 형성하는 구조로 해도, 신호선(110)과 주사선(111)의 연재영역(113) 사이에는 각 절연막(115), (117)위에 반도체막(120)이 반드시 배치되기 때문에 정전기, 프로세스 중에서의 인접, 또는 각 절연막(115), (117)의 관통에 기인하는 용간 소트도 억제되고, 이것에 의해 높은 제조 수율화를 확보할 수 있다. 그리고, 이와 같이 신호선(111)과 인접하는 화소전극(131)도 연재영역(113)을 배치하는 구성에 의해, 신호선(111)과 화소전극(131)과의 사이의 용접결합이, 연재영역(113)에 의해 실패되고, 화소전극(131)의 전위가, 신호선(111)의 전위에 의해 받은 영향을 경감할 수 있다. 또, 신호선(111)과 절연막(115), (117) 사이에 배치되는 반도체막(120) 및 저저항반도체막(124a)의 음극선이 신호선(111)의 음극선과 일치하고 있다. 이런 이유에서 신호선(111)과 화소전극(131)을 용접하게 근접 배치할 수 있고, 이것에 의해 보다 한층 고(高) 개구율화가 달성된다.

(주사선의 외주부 부근의 구조)

주사선(111)의 외주부 부근의 구조에 대해서, 제1도 및 제3도에 기초하여 설명한다.

시-Y할금으로 이루어지는 주사선(111)은 유리기판(101)의 한 단면(101a)쪽에 인입되고, 경사진 배선부(150) 및 주사선 패드(152)로 유도되는 하층 배선부(111a)를 형성하고 있다.

경사진 배선부(150)에 있어서는 주사선(111)에서 연재되는 하층 배선부(111a)상에는 2층의 절연막(115, 117)이 적층배치되어 있다. 또한, 이 2층의 절연막(115, 117)상에는 반도체피막(119), 저저항 반도체피막(123) 및 신호선(110)과 동일공정으로 동일재료의 Mo-Pb할금막으로 이루어지는 상층 배선부(125a)가 적층되어, 이 상층 배선부(125a)상에는 종간 절연막(127)이 배치되어 있다.

그리고, 이 경사진 배선부(150)의 기부에 있어서는 한쌍을 이루는 제1접촉구(153)와 제2접촉구(154)가 각각 배선방향을 따라 근접하여 배치되며, 화소전극(131)과 동일공정으로 동일재료의 ITO로 이루어지는 주사선 접속층(131)에 의해 주사선(111)에서 연재되는 하층 배선부(111a)와 상층 배선부(125a)가 제1접촉구(153) 및 제2접촉구(154)를 통하여 전기적으로 접속되어 있다. 또한, 제2접촉구(154)는 하층 배선부(111a)의 주 표면의 일부를 노출하도록, 2층의 절연막(115, 117), 반도체피막(119), 저저항 반도체피막(123) 및 상층 배선부(125a)를 관통하는 개구로서, 제1접촉구(153)는 상층 배선부(125a)의 주 표면의 일부를 노출하도록 종간 절연막(127)을 관통하는 개구이다.

또한, 주사선 패드(152)에 있어서는 역시 한쌍을 이루는 제1접촉구(155)와 제2접촉구(156)가 각각 배선방향을 따라 근접하여 배치되며, 화소전극(131)과 동일공정으로 동일재료의 ITO로 이루어지는 주사선 접속층(131)에 의해 주사선(111)의 하층 배선부(111a)와 상층 배선부(125a)가 제1접촉구(155) 및 제2접촉구(156)를 통하여 전기적으로 접속되어 있다. 또한, 제2접촉구(156)는 상기한 제2접촉구(154)와 동일하게 하층 배선부(111a)의 주 표면의 일부를 노출하도록, 2층의 절연막(115, 117), 반도체피막(119), 저저항 반도체피막(123) 및 상층 배선부(125a)를 관통하는 개구로서, 제1접촉구(155)는 상기한 제1접촉구(153)와 동일하게 상층 배선부(125a)의 주 표면의 일부를 노출하도록 종간 절연막(127)을 관통하는 개구이다.

이것에 의해 주사선(111)의 경사진 배선부(150)는 서로 다른 공정으로 패터닝되는 신호선(110)과 동일 재료, 동일 공정으로 제작되는 Mo-Pb할금막으로 이루어지는 상층 배선부(125a)와 시-Y할금막으로 이루어지는 주사선(111)에서 연재되는 하층 배선부(111a)와의 접속 구조로 구성되며, 이 2층에 의해 경사진 배선부(150)의 기부와 주사선 패드(152)가 전기적으로 접속된다.

이 때문에 경사진 배선부(150)에 의해 상층 배선부(125a) 또는 하층 배선부(111a)의 한쪽이 단선해도, 다

은 속이 접속되어 있기 때문에 경사진 배선부(150)에서의 단선 불합이 매우 감소된다.

또한, 경사진 배선부(150)는 시금 주재로 한 저저항 재료인 AI-V합금막으로 이루어지는 하층 배선부(111a)를 포함하기 때문에 충분한 저저항화가 도모된다.

또한, 본 실시예에서는 제2접촉구(156)의 영역, 즉 하층 배선부(111b)와 주사선 접속층(131)과의 접촉 영역이 주로 주사선 패드(152)의 접속영역으로서 기능한다.

(신호선의 외주부 부근의 구조)

신호선(110)의 외주부 부근의 구조에 대해서 제1도 및 제4도에 기초하여 설명한다.

주사선(111)과 동일 공정에서 동일재료로 이루어지는 AI-V합금막으로 이루어지는 하층 배선부(111b)가 각 신호선(110)에 매칭하여, 우리 기판(101)의 한 단면(101a)측의 신호선(110)의 경사진 배선부(160) 및 신호선 패드(162)에 배치되어 있다.

경사진 배선부(160)에 있어서는 하층 배선부(111b)상에는 2층의 절연막(115, 117)이 배치되어 있다. 또한, 이 2층의 절연막(115, 117)상에 반도체피막(119), 저저항 반도체피막(123) 및 신호선(110)에서 연재되는 Mo-합금막으로 이루어지는 상층 배선부(125b)(신호선(110)가 접속되며, 이 상층 배선부(125b)상에는 송신 접연막(127)이 배치되어 있다.

그리고, 이 경사진 배선부(160)의 기부에 있어서는 한쌍을 이루는 제1접촉구(163)와 제2접촉구(164)가 각각 배선방향을 따라 근접하여 배치되며, 화소전극(131)과 동일공정에서 동일재료인 ITD막으로 이루어지는 신호선 접속층(131)에 의해 신호선(110)에서 연재되는 상층 배선부(125b)와 하층 배선부(111b)가 전기적으로 접속되어 있다. 또한, 제2접촉구(164)는 하층 배선부(111b)의 주 표면의 일부를 노출하도록 2층의 절연막(115, 117), 반도체피막(119), 저저항 반도체피막(123) 및 상층 배선부(125b)를 관통하는 개구로서, 제1접촉구(163)는 상층 배선부(125b)의 주 표면의 일부를 노출하도록 송신 접연막(127)을 관통하는 개구이다.

또한, 신호선 패드(162)에 있어서는 역시 한쌍을 이루는 제1접촉구(165)와 제2접촉구(166)가 각각 배선방향에 근접하여 배치되며, 화소전극(131)과 동일 공정에서 동일 재료인 ITD로 이루어지는 신호선 접속층(131)에 의해 신호선(110)에서 연재되는 상층 배선부(125b)와 하층 배선부(111b)가 전기적으로 접속되어 있다. 또한, 제2접촉구(166)는 상기한 제2접촉구(164)와 동일하게 하층 배선부(111b)의 주 표면의 일부를 노출하도록 2층의 절연막(115, 117), 반도체피막(119), 저저항 반도체피막(123) 및 상층 배선부(125b)를 관통하는 개구로서, 제1접촉구(165)는 상기한 제2접촉구(164)와 동일하게 상층 배선부(125b)의 주 표면의 일부를 노출하도록 송신 접연막(127)을 관통하는 개구이다.

마지막에 의해 경사진 배선부(160)에 있어서는 Mo-합금막으로 이루어지는 신호선(110)에서 연재되는 상층 배선부(125b)와 주사선(111)과 동일공정에서 동일재료인 AI-V합금막으로 이루어지는 하층 배선부(111b)가 접속 배치되며, 이 2층에 의해 경사진 배선부(160)의 기부와 신호선 패드(162)를 전기적으로 접속하고 있다.

그 때문에, 경사진 배선부(160)에 있어서 Mo-합금막으로 이루어지는 상층 배선부(125b) 또는 AI-V합금막으로 이루어지는 하층 배선부(111b)의 한쪽이 단선해도 다른 쪽이 접속되어 있기 때문에 경사진 배선부(160)에 단선 불합이 생기는 것이 감소된다.

또한, 경사진 배선부(160)는 AI를 주재로 한 저저항 재료인 AI-V합금막으로 이루어지는 하층 배선부(111b)를 포함하기 때문에 충분한 저저항화가 도모된다.

또한, 이 실시예에서는 제2접촉구(166)의 영역, 즉 하층 배선부(111b)와 주사선 접속층(131)과의 접속영역이 주로 신호선 패드(162)의 접속 영역으로서 기능한다.

상기한 구성에 의하면, 구동 IC의 범프, FPC(플렉시블 프린트 서킷)LT, TOP(테이프 캐리어 패키지)의 전극, 동일 신호선 패드(162) 및 주사선 패드(152)에 ACF(미량성 도전막) 등의 접속층을 용하여 전기적으로 접속하는 경우에, 신호선 패드(162) 및 주사선 패드(152)의 구성이 실질적으로 동일하기 때문에 신호선 패드(162) 및 주사선 패드(152)의 접속조건을 같게 해도 접속함에 인가되는 열이나 압력 등을 거의 같게 할 수 있으며, 이것에 의해 동일 조건에서의 제조가 가능하게 된다. 즉, 이 실시예에서는 주사선 패드(152)의 접속영역은 주로 주사선(11)에서 노출되는 AI-V합금막으로 이루어지는 하층 배선부(111a)와 화소전극(131)과 동일 재료인 ITD로 이루어지는 주사선 접속층(131)과의 접속 구조로 구성되며, 또한 신호선 접속패드(162)의 접속 영역은 주로 주사선(11)과 동시에 형성되는 AI-V합금막으로 이루어지는 하층 배선부(111b)와 화소전극(131)과 동일재료인 ITD로 이루어지는 신호선 접속층(131)과의 접속 구조로 구성되어 있으며, 그 구조는 실질적으로 동일하다.

(여레이 기판의 제조공정)

다음에 이 여레이 기판(100)의 제조공정에 대해서 제7도에서 제13도를 참조하여 상세하게 설명한다.

(1) 제1공정

제7도에 나타내는 바와 같이 유리 기판(101)상에 스퍼터에 의해 AI-V합금막, Mo막을 각각 200nm두께, 30nm 두께로 연속하여 퇴적하고, 제10마스크 패턴을 사용하여 노광(露光)하여, 현상, 패터닝(제1패터닝)을 거친다.

여기에 의해 유리 기판(101)상에 480개의 주사선(111)을 배치하며, 또 그 한 단면(101a)측에 있어서 주사선(111)의 경사진 배선부(150) 및 주사선 패드(152)를 구성하는 하층 배선부(111a), 한 단면(101b)에 있어서 신호선(110)의 경사진 배선부(160) 및 신호선 패드(162)를 구성하는 하층 배선부(111b)를 각각 동시에 제작한다.

또한, TFT영역에서는 주사선(111)과 일체로 주사선(111)과 직교하는 방향으로 노출되는 게이트 전극을 제

작한다. 또한, 주사선(111)의 패터닝시에 주사선(111)과 직교하는 방향으로 도출되며, 보조용량(16)을 형성하기 위한 면재영역(113)도 동시에 제작해 둔다(제4도 참조).

(2) 제2공정

제1공정 후, 제8도에 나타내는 바와 같이 플라즈마(CVD)법에 의해 150nm 두께의 산화 실리콘막으로 이루어지는 제1게이트 절연막(115)을 퇴적한 후, 또 150nm 두께의 산화 실리콘막으로 이루어지는 제2게이트 절연막(117), 50nm 두께의 α -Si를 이루어지는 반도체패막(119) 및 200nm 두께의 산화 실리콘막으로 이루어지는 채널보호막(121)을 연속적으로 공기에 패터닝하는 일이 없이 막을 형성한다.

(3) 제3공정

제2공정 후, 제9도에 나타내는 바와 같이 주사선(111)을 마스크로 한 이면(裏面) 노광기술에 의해 주사선(111)에 자기정합적으로 채널 보호막(121)을 패터닝하고, 또 TFT영역에 대응하도록 제2마스크 패턴을 이용하여 노광하고, 현상, 패터닝(제2패터닝)을 거쳐 절연층의 채널 보호막(122)을 제작한다.

(4) 제4공정

제3공정 후, 제10도에 나타내는 바와 같이 양호한 오믹 콘택트가 얻어지는 바와 같이 노광하는 반도체패막(119) 표면을 불산(HF)계 용액에서 처리하고, 플라즈마 CVD법에 의해 불소화물로서 인을 포함하는 30nm 두께의 pnSSi 를 이루어지는 저저항 반도체패막(123)을 퇴적하고, 또 300nm 두께의 Mo-W합금막(125)을 스페터에 의해 퇴적한다.

(5) 제5공정

제4공정 후, 제11도에 나타내는 바와 같이 제3마스크 패턴을 이용하여 노광, 현상하고, Mo-W합금막(125), 저저항 반도체패막(123) 및 반도체패막(119)을 산화 실리콘막으로 이루어지는 제1게이트 절연막(115) 또는 제2게이트 절연막(117)과 채널 보호막(122)과의 에칭 선택비를 제어하는 것에 의해 절렬하여 플라즈마 에칭에 의해 패터닝한다(제3패터닝).

이것에 의해 TFT영역에 있어서는 저저항 반도체패막(124a)과 소스 전극(125b)을 일체로 제작하고, 저저항 반도체패막(124b) 및 신호선(110)과 일체로 드레인 전극(126a)을 제작한다.

주사선 패드(152) 및 경사진 배선부(150)의 기부에 있어서는 하층 배선부(111a)상을 따라 Mo-W합금막(125)을 패터닝하여 상층 배선부(125a)를 형성하며, 또한 상층 배선부(125a)를 따라 저저항 반도체패막(123) 및 반도체패막(119)을 일괄하여 패터닝한다. 이것과 동시에 상기한 제2접속구(154, 156)에 대응하는 상층 배선부(125a), 저저항 반도체패막(124) 및 반도체패막(119)을 관통하는 개구(154a, 156a)를 제작한다.

마찬가지로 신호선 패드(162) 및 경사진 배선부(160)의 기부에 있어서는 하층 배선부(111b)상을 따라 Mo-W합금막(125)을 패터닝하여 신호선(110)에서 연장되는 상층 배선부(125b)를 형성하며, 또한 상층 배선부(125b)를 따라 저저항 반도체패막(123) 및 반도체패막(119)을 일괄하여 패터닝한다. 이것과 동시에 상기한 제2접속구(164, 166)에 대응하는 열의 상층 배선부(125b), 저저항 반도체패막(123) 및 반도체패막(119)을 관통하는 개구(164a, 166a)를 제작한다.

여기서는 Mo-W합금막(125), 저저항 반도체패막(123) 및 반도체패막(119)을 드라이 에칭에 의해 패터닝했지만, 옻(wet) 에칭이어도 무방하다.

(6) 제6공정

제5공정 후, 이 위에 200nm 두께의 산화 실리콘막으로 이루어지는 중간 절연막(127)을 퇴적한다.

그리고, 제12도에 나타내는 바와 같이 제4마스크 패턴을 사용하여 노광, 현상하고, 소스 전극(126b)에 대응하는 열의 일부의 중간 절연막(127)을 제거하여 드라이 에칭에 의해 접속구(129a)를 형성한다.

주사선 패드(152) 및 경사진 배선부(150)의 기부에 있어서는 개구(154a, 156a)에 대응하는 제1 및 제2게이트 절연막(117)과 함께, 중간 절연막(127)을 일괄하여 제거하여 제2접속구(154, 156)를 형성하여(제4 패터닝), 또 제2접속구(154, 156) 근방의 중간 절연막(127)을 제거하여 제2접속구(154, 156)와 한쌍을 이루는 제1접속구(153, 155)를 제작한다.

동시에 신호선 패드(162) 및 경사진 배선부(160)의 기부에 있어서는 개구(164a, 166a)에 대응하는 제1 및 제2게이트 절연막(117)과 함께, 중간 절연막(127)을 일괄하여 제거하여 제2접속구(164, 166)를 형성함과 동시에 제2접속구(164, 166) 근방의 중간 절연막(127)을 제거하여 제2접속구(164, 166)와 각각 한쌍을 이루는 제1접속구(163, 165)를 제작한다.

(7) 제7공정

제6공정 후, 제13도에 나타내는 바와 같이 이 위에 100nm 두께의 ITO막을 스페터에 의해 퇴적하고, 제5마스크 패턴을 이용하여 노광, 현상, 드라이 에칭에 의한 패터닝(제5패터닝)을 거쳐, 화소전극(131)을 제작한다. ITO막의 패터닝도 드라이 에칭을 대신하여 옻 에칭이어도 무방하다.

주사선 패드(152) 및 경사진 배선부(150)의 기부에 있어서는 제1접속구(153, 155)와 제2접속구(154, 156)를 각각 전기적으로 접속하기 위한 주사선 접속층(131)을 형성하고, 이것에 의해 주사선(111)과 주사선 패드(152)는 하층 배선부(111a)와 상층 배선부(125a)의 2층 구조의 경사진 배선부(150)에 의해 전기적으로 접속된다.

신호선 패드(162) 및 경사진 배선부(160)의 기부에 있어서는 제1접속구(163, 165)와 제2접속구(164, 166)를 각각 전기적으로 접속하기 위한 신호선 접속층(131)을 동시에 형성하고, 이것에 의해 신호선(110)과 신호선 접속패드(162)는 하층 배선부(111b)와 상층 배선부(125b)의 2층 구조의 경사진 배선부(160)에 의해 전기적으로 접속된다.

미상과 같이 이 실시예의 머레이 기판에 의하면, 기본 구성을 5장의 마스크에 의해 머레이 기판을 제작할 수 있다. 즉, 화소전극을 최상층에 배치하고, 이것에 따라 신호선, 소스, 드레인 전극과 함께 반도체패막 등을 동일 마스크 패턴에 기초하여 밀착하여 패터닝하며, 또한 소스 전극과 화소전극과의 접속을 접속구의 제작과 함께, 신호선이나 주사선의 접속단을 노출하기 위한 접속구의 제작을 동시에 실시하는 것으로, 적은 마스크수로 생산성을 향상할 수 있으며, 또 제조 복잡도를 저하시키는 일도 없다.

또한, 신호선 및 주사선의 각 경사진 배선부에 있어서는 신호선을 이루는 Mo-W합금막으로 이루어지는 상층 배선부와 주사선을 Si-W합금막으로 이루어지는 하층 배선부의 2층에 의해 형성되며, 각 경사진 배선부의 기부와 각 패드를 전기적으로 접속하고 있다. 그 때문에, 경사진 배선부에 있어서, 상층 배선부 또는 하층 배선부의 한쪽이 단선해도 다른 쪽이 접속되어 있기 때문에 경사진 배선부가 단선하는 일도 없다.

또한, 경사진 배선부는 적어도 시를 주체로 한 저저항 재료로 구성되는 배선층을 포함하기 때문에 충분한 저저항화가 도모된다.

또한, 구동 IC의 버퍼나 TOP 등의 전극을 접속하기 위한 신호선 패드 및 주사선 패드는 실질적으로 동일 구조이기 때문에 앞지름 등일 구조로 접속하는 것이 가능하게 된다.

(그 밖의 변경예)

이 실시예에서는 반도체패막을 6-Si-H로 구성하는 경우에 대해서 설명했지만, 다결정 실리콘막 등이어도 좋은 것은 말할 나위도 없다. 또한 주변 영역에 구동회로부를 밀착적으로 구성해도 좋다.

또한, 신호선이나 주사선에 화소전극을 일부 중첩시켜 배치하는 경우, 적어도 화소전극과 신호선 사이에 절연층을 통하여 광속과 동시에 하드 전극을 배치하도록 하면 화소전극이 신호선으로부터의 전위에 의한 영향을 경감시킬 수 있다.

(신호선 및 주사선의 외부 플레트 부분의 구조의 변경예)

제14도에 나타내는 바와 같이 신호선(110)의 외주부 부분의 구조의 변경예에 대해서 설명한다.

주사선(111)과 동일공장에서 동일재료로 이루어지는 Si-W합금막으로 이루어지는 하층 배선부(111b)와 각 신호선(110)에 대응하여 유리 기판(101)의 한 단면(101a)측의 신호선(110)의 경사진 배선부(160) 및 신호선 패드(162)에 배치되어 있다.

경사진 배선부(160)에 있어서는 하층 배선부(111b)상에는 2층의 절연막(115, 117)이 배치되어 있다. 또한, 이 2층의 절연막(115, 117)상에 반도체패막(119) 저저항 반도체패막(123) 및 신호선(110)에서 얻어지는 Mo-W합금막으로 이루어지는 상층 배선부(125b)(신호선(110))가 적층되며, 이 상층 배선부(125b)상에는 중간 절연막(127)이 배치되어 있다.

그리고 이 경사진 배선부(160)의 기부에 있어서는 상기한 실시예와 동일하고, 신호선 패드(162)에 있어서는 한쌍의 제1접촉구(175)와 제2접촉구(176)가 각각 배치되며, 화소전극(13)과 동일공장에서 동일재료인 IT0로 이루어지는 신호선 접속층(131)에 의해 신호선(110)에서 얻어지는 상층 배선부(125b)와 하층 배선부(111b)를 전기적으로 접속하고 있다. 또한, 제1접촉구(175)는 하층 배선부(111b)의 주 표면의 일부를 노출하는 것과 같이 3층의 절연막(115, 117), 반도체패막(119), 저저항 반도체패막(123) 및 상층 배선부(125b)를 관통하는 개구로서, 제2접촉구(176)는 상층 배선부(125b)의 주 표면의 일부를 노출하도록 중간 절연막(127)을 관통하는 개구이다.

이와 같이 이 변경예는, 상기한 실시예와는 신호선 패드(162)가 주로 하층 배선부(111b), 2층의 절연막(115, 117), 이 2층의 절연막(115, 117)상에 배치되는 반도체패막(119), 저저항 반도체패막(123), 신호선(110)에서 얻어지는 Mo-W합금막으로 이루어지는 상층 배선부(125b)(신호선(110)) 및 화소전극(13)을 구성하는 IT0로 이루어지는 신호선 접속층(131)의 적층 구조로 구성되는 점에 있어서 상이한 점 이외는 상기한 실시예와 동일하다.

또한, 주사선(111)의 외주부 부분의 구조에 대해서도 신호선측과 동일하게 하는 편이 바람직하다.

(제2실시예)

이하, 본 발명의 제2실시예인 광투과형의 액정표시장치(1)에 대해서 제15도에서 제26도에 기초하여 설명한다.

제15도에 나타내는 바와 같이 액정표시장치(1)는 머레이 기판(100)과 대향기판(200) 사이에 폴리이미드 수지를 이루어지고, 서로 직교하는 방향으로 대향 치리가 실시된 배선막(131, 241)을 통하여, 트위스트 네마틱 액정이 유지되어 있다. 또한, 머레이 기판(100)과 대향기판(200)과의 외표면에는 각각 편광판(311, 313)이 부착되어 구성되어 있다.

제15도는 이 실시예의 머레이 기판(100)의 개략 평면도일 나타내는 것이지만, 도면 중 하측이 액정표시장치(1)의 화면상측에 위치하는 것으로서, 도면 중 하측에서 상측을 향하여 주사선이 순차 선택되는 것이다.

머레이 기판(100)은 유리 기판(101)상에 배치되는 480개의 Si-W합금으로 이루어지는 주사선(111)을 포함하고, 각 주사선(111)의 일단은 유리 기판(101)의 한 단면(101a)측에 인출되며, 경사진 배선부(150)를 거쳐 주사선 패드(152)를 형성하고 있다. 또한, 이 경사진 배선부(150) 및 주사선 패드(152)의 구조는 제1 실시예와 동일한 구조이고, 또 제조공정도 동일하게 제조할 수 있다.

머레이 기판(100)은 유리 기판(101)상에 주사선(111)과 거의 직교하는 1920개의 Mo-W합금으로 이루어지는 신호선(110)을 포함하며, 각 신호선(110)은 유리 기판(101)의 일단이 다른 한 단면(101b)측으로 인출되며, 경사진 배선부(160)를 거쳐 신호선 패드(162)를 형성하고 있다. 또한, 이 경사진 배선부(160) 및 신호선 패드(162)의 구조는 제1 실시예와 동일한 구조이고, 또한 제조공정도 동일하게 제조할 수 있다.

이 주사선(111)과 신호선(110)의 교점 부분에는 TFT(112)가 배치되어 있다. 또한, TFT(112)의 화소전극

[illegible]

D-D 선 단면의 위치에 있어서도 상기와 동일하게 유리기판(101)상에 주사선(111)을 제작한다.

(2) 제2공정

제1공정 후, 제21도에 나타난 것과 같이 A-A' 선 단면의 위치에 있어서는 플라즈마 CVD법에 의해 150nm 두께의 산화 실리콘막으로 이루어지는 제1게이트 절연막(115)을 퇴적한 후, 150nm 두께의 절화 실리콘막으로 이루어지는 제2게이트 절연막(117), 50nm 두께의 α -Si₃N₄막으로 이루어지는 반도체피막(119) 및 200nm 두께의 절화 실리콘막으로 이루어지는 채널보호피막(121)을 연속적으로 증착하여 형성하는 일이 없이 막을 형성한다.

D-D' 선 단면의 위치에 있어서도 상기와 동일하게 제1게이트 절연막(115)과 제2게이트 절연막(117) 및 채널보호피막(121)을 제작한다.

(3) 제3공정

제2공정 후, 제22도에 나타난 것과 같이 A-A' 선 단면의 위치에서는 주사선(111)을 마스크로 한 이온 노광(露光)기술에 의해 주사선(111)에 자기장합적으로 채널 보호 피막(121)을 패터닝하고, TFT 영역에 대응하는 도를 제20마스크 패턴을 사용하여 노광시키고 현상, 패터닝(제2 패터닝)을 거쳐 절연상의 채널 보호막(122)을 제작한다.

D-D' 선 단면의 위치에서는, 패터닝에 의해 채널 보호 피막(121)을 제거한다.

(4) 제4공정

제3공정 후, 제23도에 나타난 것과 같이 A-A' 선 단면의 위치에서는 양호한 오프 콘택트가 얻어지도록 노출시키는 반도체피막(119) 표면층 불산(HF)계 용액으로 처리하고, 플라즈마 CVD법에 의해 불순물로써 인을 포함한 30nm 두께의 n^+ - α -Si₃N₄막으로 이루어진 저저항 반도체피막(123)을 증착시키고, 300nm 두께의 Mo₂C 합금막(125)을 스퍼터에 의해 증착시킨다.

D-D' 선 단면의 위치에 있어서도 상기와 같이 저저항 반도체피막(123)을 증착시킨 후, Mo₂C 합금막(125)을 증착시킨다.

(5) 제5공정

제4공정 후, 제24도에 나타난 것과 같이 A-A' 선 단면의 위치에서는 제3마스크 패턴을 사용하여 노광, 현상하고, Mo₂C 합금막(125), 저저항 반도체피막(123) 및 반도체피막(119)을 절화실리콘막으로 이루어진 제2게이트 절연막(117) 및 채널 보호막(122)의 에칭 선택비를 제타함으로써 증착하여 플라즈마 에칭에 의해 패터닝(제3패터닝)하여, 반도체막(12b), 저저항 반도체막(124a, 124b), 소스 전극(126b), 신호선(110) 및 신호선(110)과 밀접의 접속단(110a)(제15도 참조) 및 신호선(110)과 밀접의 드레인 전극(126a)을 제작한다.

D-D' 선 단면의 위치에 있어서도 상기와 동일하게 하고, 반도체막(12b), 저저항 반도체막(124b) 및 Mo₂C 합금막(125)을 같이 패터닝 형성으로 패터닝한다.

이에 의해, Mo₂C 합금막(125)의 위치가 광 차폐층(170)을 형성한다. 이 경우에 광 차폐층(170)이 주사선(111)을 전부 덮지 않고, 일부만을 덮도록 한다.

(6) 제6공정

제5공정 후, 200nm 두께의 절화실리콘막으로 이루어진 중간 절연막(127)을 증착시키고, 제25도에 나타난 것과 같이 A-A' 선 단면의 위치에서는 제4마스크 패턴을 사용하여 광에 노출시키고 현상하여, 소스 전극(126b)에 대응하는 중간 절연막(127)을 제거하여 전극(129a)을 형성한다. 또한 신호선(110)의 접속단(100a)(제15 참조) 대응하는 중간 절연막(127)을 제거하고 전극(129c)을 형성한다(제4패터닝).

D-D' 선 단면의 위치에 있어서도 상기와 같이 중간 절연막(127)을 형성한다.

(7) 제7공정

제6공정 후, 제26도에 나타난 것과 같이 A-A' 선 단면의 위치에 있어서는 이 위에 100nm 두께의 10막 스 패터에 의해 증착시키고 제5마스크 패턴을 사용하여 광에 노출, 현상, 패터닝(제5패터닝)을 거쳐, 화소 전극(131)을 제작한다(제15도 참조).

D-D' 선 단면의 위치에서는 상기와 같이 화소전극(131)을 중간 절연막(127) 위에 설치한다. 이 경우에 광 차폐층(170)이 주사선(111)과 화소전극(131)에 배치되도록 한다.

이와와 같이, 이 실시예에 의하면, 기판에 의하면, 기판 구성을 5장각 마스크에 의해 여러이 기판층을 제작할 수 있다. 즉, 화소전극을 최상층에 배치하고, 이에 수반하여 신호선, 소스, 드레인 전극과 함께 반도체 피막 등을 동일한 마스크 패턴에 기초하여 증착하여 패터닝함과 동시에, 소스 전극과 화소전극의 접속층, 접속층을 제작하고, 동시에 신호선이나 주사선의 접속단을 노출시키기 위한 콘택트홀의 제작을 실시함으로써 작은 마스크수로 생산성을 향상시킬 수 있으며, 제조수율을 저하시키는 일도 없다.

또한 상기 제2공정에 있어서는, 화소전극(131)과 화소전극(131)에 대응하는 주사선(111)이 걸친 위치에 광 차폐층(170)을 동시에 형성할 수 있다. 이 경우에 제2공정층을 형성할 필요가 없다.

이 실시예에서는 화소전극(131)과 화소전극(131)에 대응하는 주사선(111)이 걸친 위치에 광 차폐층(170)을 배치했지만, 화소전극(131)과 화소전극(131)에 대응하는 주사선(111)의 전(前)단 또는 다음 단의 주사선(111)이 걸친 위치에 광 차폐층(170)을 배치해도 상관 없다.

(광 차폐층에 관한 변경예)

제27도는 광 차폐층에 관한 변경예이고 제28시예와 다른 점은 광 차폐층(180)이 화소전극(131)과 화소전

국(131)에 대응하는 주사선(111)의 전단의 주사선(111)과 화소전극(131)의 하변을 덮어 배치된 점에 있으며, 팔 차폐층(170)과는 전기적으로 연결되어 있는 것이다. 또한 팔 차폐층(170)의 팔 차폐층(180)을 절연하지 않고 합체로 해도 좋다.

이와 같은 구성에 의하면 화소 영역의 개구율 아래이 기판상에서 형성할 수 있고 이에 의해 고개구율화가 실현된다.

(그)의 변형예)

이 실시예에서는 반도체막을 a-Si:H로 구성하는 경우에 관해서 설명했지만, 다결정실리콘막 등에서도 좋다. 또한 주변 영역에 무충화물부립 원재적으로 구성해도 좋다.

또한 신호선이나 주사선상에 화소전극을 일부 중첩시켜 배치하는 경우, 적어도 화소전극과 신호선 사이에 절연층을 통하여 금속막 등으로 절도 전극을 배치하도록 하면 화소전극과 신호선으로부터의 전위에 의한 영향을 경감시킬 수 있다.

(제3실시예)

이하, 본 발명의 제3실시예의 액정표시장치(1)에 관해서 제28도에서 제36도를 참조하여 설명한다.

제29도에 나타난 것과 같이 액정표시장치(1)는 아래이 기판(100)과 대항기판(200) 사이에 폴리이미드 수지로 이루어지고 서로 적교하는 방향으로 배열된 배향층(141, 241)을 통하여 트위스트 네마틱 액정으로 이루어진 액정층(400)이 유지되어 있다. 또한 아래이 기판(100)과 대항기판(200)의 외부표면에는 각각 편광판(311, 313)이 부착되어 구성되어 있다.

아래이 기판(100)은 유리기판(101) 상에 배치된 480개의 Si-LV 합금으로 이루어진 주사선(111)과 주사선(111)과 동일한 재료로 동일한 공정으로 제작된 주사선(111)과 각 평행한 보조 용량선(113), 주사선(111)과 보조용량선(113) 상에 배치된 산화실리콘막으로 이루어진 제2게이트 절연막(115), 이 위에 형성된 질화실리콘막으로 이루어진 제2게이트 절연막(117)을 포함한다.

아래이 기판(100)은 유리기판(101) 상에 배치된 480개의 Si-LV 합금으로 이루어진 주사선(111)을 포함하고 각 주사선(111)의 한 단은 유리기판(101)의 한 단부 변(101a)측에 연결되며, 경사진 배선부(150)를 거쳐 주사선 패드(152)를 형성하고 있다. 또한 이 경사진 배선부(150) 및 주사선 패드(152)의 구조는 제1실시예와 동일한 구조이고, 동일한 공정으로 제작할 수 있다.

아래이 기판(100)은 유리기판(101) 상에 주사선(111)과 거의 적교하는 1920개의 Mo-W 합금으로 이루어진 신호선(110)을 포함하고 각 신호선(110)은 유리기판(101)의 한 단은 다른 한 단부 변(101b)측에 연결되며 경사진 배선부(160)를 거쳐 신호선 패드(162)를 형성하고 있다. 또한 이 경사진 배선부(160) 및 신호선 패드(162)의 구조는 제1실시예와 동일한 구조이고 또한 제조공정도 동일하게 할 수 있다.

이 주사선(111)과 신호선(110)의 교차 부분에는 TFT(112)가 배치되어 있다. 또한 이 TFT(112)의 화소전극(131)이 주사선(111) 및 신호선(110) 상에 중간 절연막(127)을 통하여 배치되어 있다. 이 중간 절연막(127)으로는 질화실리콘막 등의 무기절연막으로 구성할 수 있지만, 다른 무기절연막과 유기수지피막의 다층막으로 구성함으로써 표면 평탄성 및 중간절연성은 더욱 향상된다.

이 아래이 기판(100)에 대응하는 대항기판(200)은 유리기판(201) 상에 배치되고 TFT(121) 영역, 신호선(110) 및 주사선(111)과 화소전극(131)과의 간격을 차광하는 매트릭스형상의 수지성 차광막(211)을 포함한다. 또한 화소전극(131)에 대응하는 영역에는 각각 전색(R), 녹색(G) 및 청색(B)의 칼라필터(221)가 배치되고, 이 위에 투명 전극 재료로 이루어진 대항전극(231)이 배치되어 구성된다.

(TFT영역의 구조)

TFT(112) 영역의 구조에 관해서 설명한다.

아래이 기판(100)에서는 제29도에 나타난 것과 같이 화소전극(131)이 주사선(111)에 대해서 제2게이트 절연막(115), 제2게이트 절연막(117) 및 중간 절연막(127)을 통하여 배치되고, 신호선(110)에 대해서도 중간 절연막(127)을 통하여 배치되어 있다. 따라서 화소전극(131)을 신호선(110) 또는 주사선(111)에 대해서 충분히 근접시켜도 서로 쇼트 불량을 일으키지 않으므로 높은 제조수율과 고정밀, 고개구율 설계를 가능하게 한다. 즉, 화소전극(131)을 신호선(110)상이나 주사선(111)상에 겹쳐도 상관없다.

또한 제30도에 나타난 것과 같이 신호선(110)의 윤곽과 저저항반도체막(124a) 및 반도체막(120)의 윤곽이 일치하고 있다. 또한 상제막은 신호선(110)과 주사선(111)의 교차부에는 반드시 제1 내지 제2게이트 절연막(115, 117) 외에 저저항반도체막(124a) 및 반도체막(120)이 형성되어 있다. 이 때문에 각 패턴형성에 마스크 어긋남이 발생해도 신호선(110)에 생기는 단차는 충분히 경감되고 신호선(110)과 주사선(111) 사이의 저항 변동이 없으며, 이 때문에 제품간에서 주사선 용량 또는 신호선 용량의 변동이 경감된다. 또한 신호선(110)과 주사선(111)의 교차부에서의 정전기 프로세스 중에서의 먼지 또는 각 절연막(115, 117, 127)의 필름에 기인하는 솔라 쇼트도 억제되고 이에 의해 높은 제조수율을 확보할 수 있다. 또한 신호선(110)과 보조용량선(113)의 사이에도 동일하다.

(보조용량선의 배선구조)

각 보조용량선(113)의 각각에는, 예를 들어 대항전극에 인가되면 동일한 전압을 균일하게 인가할 필요가 있기 때문에 이 실시예에서는 다음 구성을 채용하고 있다. 그 배선구조에 관해서 제28도 및 제34도에 기초하여 설명한다.

보조용량선(113)은 상술한 것과 같이 Si-LV 합금으로 이루어진 주사선(111)과 동일한 재료로 형성되고 주사선(111)과 거의 평행하게 배치되어 있다. 그 때문에 제28도에 나타난 것과 같이 각 보조용량선(113)의 단부에서 보조용량선(113)과 적교하도록 보조용량선 연결부(180)를 형성한다. 이 보조용량선 연결부(180)의 구조가 제34도에 나타난 것이다.

이 보조용접선 연결부(190)의 구조에 관해서 설명한다.

서로 평행하게 배치된 보조용접선(113) 및 주사선(111)의 위에는 산화실리콘막으로 이루어진 제1게이트 절연막(115)이, 이 위에 침적된 산화실리콘막으로 이루어진 제2게이트 절연막(117)이 각각 적층 배치된다. 이 2층의 절연막(115, 117) 위에는 보조용접선(113) 및 주사선(111)과 거의 직교하는 반도체피막(119), 저저항 반도체피막(123) 및 신호선(110)과 동일한 물질이고 동일한 재료의 Mg계 합금막으로 이루어진 유층 배선(125)이 적층 배치되어 있다. 그리고 2층의 절연막(115, 117), 반도체피막(119), 저저항 반도체피막(123), 유층 배선(125) 및 중간 절연막(127)의 일부를 관통하여 보조용접선(113)의 일부들, 노출시킴, 제1접촉구(191)가 형성되어 있다. 또한 유층 배선(125)의 배선 방향으로 제1접촉구(191)와 근접하고 중간 절연막(127)의 일부가 제거되어 유층 배선(125)의 일부를 노출시키는 제1접촉구(191)와 한쌍을 이루는 제2접촉구(192)가 배치되어 있다. 그리고 화소전극(131)과 동일한 물질이고 동일한 재료인 ITO로 이루어진 보조용접선 접속층(193)이 한쌍의 제1접촉구(191)와 제2접촉구(192) 사이에 적층 배치되고, 이에 의해 각 보조용접선(113)과 유층 배선(125)이 보조용접선 접속층(193)에 의해 전기적으로 접속되어 있다.

그리고 이 보조용접선 연결부(190)의 단부는 주사선 패드(152)와 동일하게 유리기판(101)의 한 단부 변(101a)측에 연장되고, 보조용접선 패드(194)를 형성한다. 이 보조용접선 패드(194)의 구조는 주사선 패드(152) 또는 신호선 패드(152)와 동일하게 하면 된다.

그리고 보조용접선 패드(194)에 전압을 가하면, 모든 보조용접선(113)을 동일하게 전위시킬 수 있다. 또 한 이 보조용접선 연결부(190)를 제작하는 경우에 하기에 나타낸 여러미 기관(100)의 제조공정과 동시에 할 수 있기 때문에, 제조공정이 간소화되는 일이 없다.

이 실시예에서는 ITO로 이루어진 보조용접선 접속층(193)은 한쌍의 제1접촉구(191)와 제2접촉구(192) 사이에만 적층 배치하지만, 유층 배선(125)을 따라서 배선된 것이라도 상관 없다. 이에 의해 유층 배선(125)의 단선불량이 경감된다.

(여러미 기관의 제조공정)

다음으로 이 여러미 기관(100)의 제조공정에 관해서 제32도에서 제38도를 참조하여 상세하게 설명한다.

(1) 제1공정

제32도에 나타낸 것과 같이 유리기판(101) 상에 스퍼터에 의해 Si-N 합금막, Si-N 합금막 위에 Mg막을 각각 200nm 두께, 30nm 두께로 침적시키고 제1마스크 패턴을 사용하여 광에 노출시키고 현상, 패터닝(제1패터닝)을 거쳐 480개의 주사선(111) 및 480개의 보조용접선(113)을 제작한다.

(2) 제2공정

제1공정 후, 제33도에 나타낸 것과 같이 플라즈마 CVD법에 의해 150nm 두께의 산화실리콘막으로 이루어진 제1게이트 절연막(115)을 침적시킨 후, 150nm 두께의 산화실리콘막으로 이루어진 제2게이트 절연막(117), 50nm 두께의 a-Si-N으로 이루어진 반도체피막(119) 및 200nm 두께의 산화실리콘막으로 이루어진 제1 반도체 피막(121)을 연속적으로 광기에 노출시키고 양극 성막한다.

(3) 제3공정

제2공정 후, 제34도에 나타낸 것과 같이 주사선(111)을 마스크로 한 미연 노광 거울에 의해, 주사선(111)에 자기 정합적으로 제1보호피막(121)을 패터닝하고, TFT영역에 대응하도록 제2마스크 패턴을 사용하여 광에 노출시키고 현상, 패터닝(제2패터닝)을 거쳐, 실험상의 채널 보호막(122)을 제작한다.

(4) 제4공정

제3공정 후, 제35도에 나타낸 것과 같이 양호한 오픈 컨택트가 얻어지도록 노출시키는 반도체피막(119) 표면을 현상(HF)계 용액으로 처리하고, 플라즈마 CVD법에 의해 불순물로써 인을 함유하는 80nm 두께의 n-a-Si-N으로 이루어진 저저항 반도체피막(123)을 침적시키고, 50nm 두께의 Mg계 합금막(125)을 스퍼터에 의해 침적시킨다.

(5) 제5공정

제4공정 후, 제36도에 나타낸 것과 같이 제3마스크 패턴을 사용하여 노광, 현상하고, Mg계 합금막(125), 저저항 반도체피막(123) 및 반도체피막(119)을 산화실리콘막으로 이루어진 제2게이트 절연막(117) 및 채널보호막(122)의 에칭 선택비를 제어함으로써, 일괄하여 플라즈마 에칭에 의해 패터닝(제3패터닝)하여, 반도체막(120), 저저항반도체막(124a, 124b), 소스 전극(126b), 신호선(110) 및 신호선(110)과 말채의 접속단(110a)(제1도 참조) 및 신호선(110)과 말채의 드레인 전극(126a)을 제작한다.

이 때에 상술한 보조용접선 연결부(190)를 구성하는 유층 배선(125)을 패터닝함과 동시에 보조용접선(113)과 유층 배선(125)을 전기적으로 접속하기 위한 제1접촉구(191)에 대응하는 보조용접선(113) 상의 유층 배선(125), 저저항 반도체피막(123) 및 반도체피막(119)의 일부를 관통하고 제거하여 개구(도시하지 않음)를 형성한다.

(6) 제6공정

제5공정 후, 200nm 두께의 산화실리콘막으로 이루어진 중간 절연막(127)을 침적시키고, 제37도에 나타낸 것과 같이 제4마스크 패턴을 사용하여 노광, 현상하고, 소스 전극(126b)에 대응하는 중간 절연막(127)을 제거하여 접속구(129b)를 형성한다(제4패터닝).

동시에 상술한 개구에 대응하는 중간 절연막(127)을 제거하고 보조용접선(113)의 일부를 노출하여 제1접촉구(191)를 형성함과 동시에 제1접촉구(191)에 근접하여 유층 배선(125)의 일부를 노출하도록 중간 절연막(127)의 일부를 제거하고 제2접촉구(192)를 형성한다.

(7) 제7공정

제6공정 후, 제38도에 나타난 것과 같이, 이 위에 100nm 두께의 170 막을 스퍼터에 의해 침착시키고 제5 마스크 패턴을 사용하여 노광, 현상, 패터닝(제5패터닝)을 거쳐 화소전극(113)을 제작한다.

동시에, 제1접촉구(191)와 제2접촉구(192)를 통하여 보조용접선(113)과 휘음 배선(125)을 접속하는 보조용접선 접속층(193)을 형성한다.

이상과 같이 이 실시예의 어레이 기판에 따르면, 기판 구성층 5장의 마스크에 의해 어레이 기판을 제작할 수 있다. 즉, 화소전극을 최상층에 배치하고, 이에 따른 신호선, 소스, 드레인 전극과 함께, 반도체피막층과 동일한 마스크 패턴에 기초하여 임판하여 패터닝하고, 동시에 소스 전극과 화소전극의 접속을 접속구를 제작하며, 소스 전극과 화소전극의 접속용 접속구의 제작을 동시에 실시하는, 배선에 발생하는 단락을 작게 하여 제조 수율의 저하를 방지하고, 적은 마스크수로 생산성이 향상되는, 서로 상이한 요구가 동시에 달성된 최적의 공정이 된다.

(그 외의 변경예)

이 실시예에서는 반도체막을 n -Si로 구성된 경우에 관해서 설명했지만, 미결정실리콘막, 다결정실리콘막 또는 다결정실리콘막 중에 있어서도 좋다. 또한 주변 영역에 구동회로부를 일체적으로 구성해도 좋다. 또한 신호선이나 주사선 상에 화소전극을 일부 중첩시켜서 배치하는 경우, 적어도 화소전극과 신호선 사이에 절연층을 통하여 금속막 등으로 삼드전극을 배치하도록 하면, 화소전극이 신호선으로부터의 전위에 의한 영향을 경감시킬 수 있다.

또한 상술한 실시예는 모든 항 투과형 액정 표시장치이고 화소전극이 투과도전막, 예를 들어 170로 구성되는 경우에 관해서 설명했다. 이 때문에 하층 배선부와 상층 배선부의 전기적인 접속은 모든 한쌍의 접속구를 통하여 배치된 170로 이루어진 접속층을 통하여 실시하고 있다. 이 170은 비교적 고저항이기 때문에 한쌍의 접속구의 간격은 짧은 쪽이 바람직하고 예를 들어 200 μ m 이하, 또한 150 μ m 이하인 것이 바람직하다. 또한 이 접속층을 화소전극과는 별개의 공정으로 제작하는 것이라면 저저항 재료를 사용할 수 있다. 또한 반사형으로 구성하는 것이라면 화소전극을 알루미늄 등의 저저항 재료로 구성할 수 있으므로, 한쌍의 접속구의 간격은 크게는 제약받지 않는다.

액정층으로서서는 TN 액정 이외에도 폴리머분산형액정, 광투과액정, 반감투과형액정 등의 각종 재료가 적용 가능하다.

이하, 상술한 것과 같이 본 발명의 표시장치를 어레이 기판 및 제조방법에 따르면 제조 수율을 저하시키지 않고 주사선과 화소전극을 중첩시켜서 보조용접층을 형성할 수 있고 고개구율화를 달성할 수 있다.

또한 본 발명에 의하면, 적은 마스크수로 제조 수율을 저하시키지 않고 높은 생산성을 확보할 수 있다.

또한 본 발명의 표시장치를 어레이 기판에 의하면, 보조용접층 연결부에 전압을 가하면 모든 보조용접선을 같은 전위로 할 수 있다.

또한 본 발명의 표시장치를 어레이 기판에 의하면, 주사선 인출부 및 신호선 인출부가 쉽게 단선되지 않는다.

(5) 청구의 범위

청구항 1

기판상에 배치된 주사선과, 이 위에 배치된 제1절연막, 이 위에 배치된 반도체막, 상기 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터와, 상기 드레인 전극으로부터 도출되고 상기 주사선과 직교하는 신호선과, 상기 소스 전극과 전기적으로 접속된 화소전극을 구비한 표시장치를 어레이 기판에 있어서, 상기 화소전극은 적어도 상기 신호선 상에 배치된 제2절연막을 통하여 상기 소스 전극에 전기적으로 접속되고, 또한 상기 화소전극은 인접한 상기 제1 및 제2절연막을 통하여 상기 주사선과 중첩되어 있는 것을 특징으로 하는 표시장치를 어레이 기판.

청구항 2

제1항에 있어서, 상기 주사선은 상기 신호선과 상기 화소전극 사이에 연계되고, 상기 제1 및 제2절연막을 통하여 상기 화소전극에 중첩되는 연재 영역을 포함하는 것을 특징으로 하는 표시장치를 어레이 기판.

청구항 3

제1항에 있어서, 상기 신호선의 음극선과 일치하는 상기 반도체와 동일한 재료로 이루어진 반도체층이 상기 신호선과 상기 제1절연막 사이에 끼워져 있는 것을 특징으로 하는 표시장치를 어레이 기판.

청구항 4

기판상에 배치된 주사선과, 이 위에 배치된 제1절연막, 이 위에 배치된 반도체막, 상기 반도체막 상에 배치된 채널 보호막, 상기 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터와, 상기 드레인 전극으로부터 도출되고 상기 주사선과 직교하는 신호선과, 상기 소스 전극과 전기적으로 접속된 화소전극을 구비한 표시장치를 어레이 기판의 제조방법에 있어서, 상기 기판 상에 상기 주사선을 포함한 제1배선층을 형성하는 공정, 상기 제1절연막, 반도체피막을 형성하는 공정, 금속박막을 형성시키고, 적어도 상기 금속박막 및 상기 반도체막을 동일한 마스크에 기초하여 패터닝하여, 상기 신호선, 상기 소스 전극 및 상기 드레인 전극을 포함하는 제2배선층을 형성하는 공정, 제2절연막을 침착시키고, 상기 소스 전극에 대응하는 상기 제2절연막에 제1접촉구를 형성하는 공정, 및 상기 접속구를 통하여 상기 소스 전극에 전기적으로 접속됨과 동시에 상기 제1 및 제2절연막을 통하여 상기 주사선과 중첩하는 상기 화소전극을 형성하는 공정을 구비하는 것을 특징으로 하는 표시장치를 어레이 기판의 제조방법.

연구항 5.

제4함에 있어서, 상기 제1집속극을 제작함과 동시에 상기 제1배선층의 일부 및 상기 제2배선층의 일부를 노출하는 제2 및 제3집속극을 제작하는 것을 특징으로 하는 표시장치용 어레이 기판의 제조방법.

연구항 6.

제1함에 있어서, 상기 화소전극은 상기 제1 및 제2절연막을 통하여 상기 인접하는 한 주사선으로부터의 연재영역과 중복하는 제1공백 영역과, 상기 화소전극과 인접하는 하나 또는 다른 주사선의 밑에서 놓이는 것을 차폐하도록 상기 주사선과 상기 제1절연막을 통하여 인접하는 상기 주사선과 일부 중복하여 배치된 상기 신호선과 동일한 재료로 이루어진 광 차폐층과, 상기 제2절연막을 통하여 중복하는 제2공백 영역을 포함하는 것을 특징으로 하는 표시 장치용 어레이 기판.

연구항 7.

제6함에 있어서, 상기 주사선의 상기 연재 영역은 상기 신호선과 상기 화소전극 사이에 연장되어 있는 것을 특징으로 하는 표시장치용 어레이 기판.

연구항 8.

제6함에 있어서, 상기 광 차폐층과 상기 제1절연막 사이에는 상기 광 차폐층의 끝단에 일치하는 상기 반도체막과 동일한 재료로 이루어진 반도체층이 배치되어 있는 것을 특징으로 하는 표시장치용 어레이 기판.

연구항 9.

기판상에 배치된 주사선과, 이 위에 배치된 제1절연막, 이 위에 배치된 반도체막, 상기 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터와, 상기 드레인 전극으로부터 노출되고 상기 주사선과 전기적으로 접속하는 신호선과, 상기 소스 전극과 전기적으로 접속된 화소전극을 구비한 표시장치용 어레이 기판의 제조 방법에 있어서, 상기 주사선을 형성하는 제1공정, 상기 제1절연막 및 반도체막을 형성시키는 제2공정, 금속박막을 형성시키고 상기 금속박막 및 상기 반도체막을 동일한 마스크에 기판하여 패터닝하여 상기 신호선, 상기 소스 전극 및 상기 드레인 전극을 형성하는 제3공정, 제2절연막을 형성시키고 상기 소스 전극에 대응하는 상기 제2절연막에 제1집속극을 형성하는 제4공정 및 상기 집속극을 통하여 상기 소스 전극에 전기적으로 접속됨과 동시에 상기 주사선과 상기 제1 및 제2절연막을 통하여 중복되는 상기 화소전극을 형성하는 제5공정을 구비하고, 또한 상기 박막트랜지스터 하부의 위치에서 상기 화소전극과 상기 인접하는 하나 또는 다른 주사선이 겹쳐 위치하여 있어서, 상기 제2공정과 동시에, 상기 제1절연막 및 반도체막을 형성하는 공정, 상기 제3공정과 동시에 상기 금속박막을 형성하고 상기 금속박막 및 상기 반도체막을 상기 마스크에 기판하여 패터닝하여 상기 광 차폐층을 형성하는 공정, 상기 제4공정과 동시에 상기 제2절연막을 형성시키는 공정 및 상기 제5공정과 동시에 상기 하나 또는 다른 주사선의 일부를 및/또는 상기 화소전극을 형성하는 공정을 구비하는 것을 특징으로 하는 표시장치용 어레이 기판의 제조방법.

연구항 10.

기판상에 배치된 게이트 전극 영역을 포함하는 복수의 주사선 및 상기 주사선과 평행한 보조용량선과, 이 위에 배치된 제1절연막, 적어도 상기 게이트 전극 영역상에 배치된 반도체막, 상기 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터와, 상기 박막트랜지스터 상에 배치된 제2절연막과, 상기 드레인 전극에 상기 제2절연막을 통하여 전기적으로 접속된 상기 주사선과 직교하는 신호선과, 상기 제2절연막을 통하여 상기 소스 전극과 전기적으로 접속된 화소전극을 구비한 표시장치용 어레이 기판에 있어서, 상기 보조용량선은 상기 각 보조용량선과 상기 제1 및 제2절연막을 통하여 수직 방향으로 배선된 붐을 배선을 포함하고, 상기 각 보조용량선과 상기 붐 배선은 도전층을 통하여 전기적으로 접속된 보조용량선 연결부를 포함하는 것을 특징으로 하는 표시장치용 어레이 기판.

연구항 11.

제10함에 있어서, 상기 보조용량선 연결부는 상기 붐 배선이 상기 신호선과 동일한 재료로 이루어지고, 상기 도전층이 상기 화소전극과 동일한 재료로 이루어진 것을 특징으로 하는 표시장치용 어레이 기판.

연구항 12.

제10함에 있어서, 상기 반도체막과 상기 소스 전극 및 드레인 전극 사이에는 저저항반도체막을 끼우고, 상기 교차 영역에 있어서의 상기 신호선과 상기 반도체층 사이에는 상기 저저항반도체막과 동일한 재료로 이루어진 저저항 반도체층이 끼워져 있는 것을 특징으로 하는 표시장치용 어레이 기판.

연구항 13.

제10함에 있어서, 상기 반도체막이 비정질 실리콘을 주체로 한 것을 특징으로 하는 표시장치용 어레이 기판.

연구항 14.

기판 상에 배치된 주사선과, 이 위에 배치된 제1절연막, 이 위에 배치된 반도체막, 상기 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터와, 상기 드레인 전극으로부터 노출되며 상기 주사선과 직교하는 신호선과, 상기 소스 전극과 전기적으로 접속된 화소전극을 구비한 표시장치용 어레이 기판에 있어서, 상기 기판상의 플레 테두리부에 위치하는 주사선단자부에 상기 주사선을, 인접하는 주사선 인출부가 배치되고, 상기 주사선 인출부는 상기 주사선과 동일한 재료로 형성된 제1도전층 및 이 제1도전층과 절연층을 통하여 상기 신호선과 동일한 재료로 형성된 제2도전층을 갖고, 상기 제1도

전송과 상기 제2도전층을 상기 화소전극과 동일한 재료로 형성한 접속층에서 전기적으로 접속하는 것을 특징으로 하는 표시장치를 아래이 기판.

연구항 15

기판상에 배치된 주사선과, 이 위에 배치된 제1절연막, 이 위에 배치된 반도체막, 상기 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터와, 상기 드레인 전극으로부터 도출되며 상기 주사선과 직교하는 신호선과, 상기 소스 전극과 전기적으로 접속된 화소전극을 구비한 표시장치를 아래이 기판에 있어서, 상기 기판상의 홀레 테두리부에 위치하는 신호선단자부에 상기 신호선을 인접하는 신호선 인출부가 배치되고, 상기 신호선 인출부는 상기 주사선과 동일한 재료로 형성된 제1도전층 및 제1도전층과 접연층을 통하여 상기 신호선과 동일한 재료로 형성된 제2도전층을 갖고, 상기 제3도전층과 상기 제2도전층을 상기 화소전극과 동일한 재료로 형성한 접속층에서 전기적으로 접속하는 것을 특징으로 하는 표시장치를 아래이 기판.

연구항 16

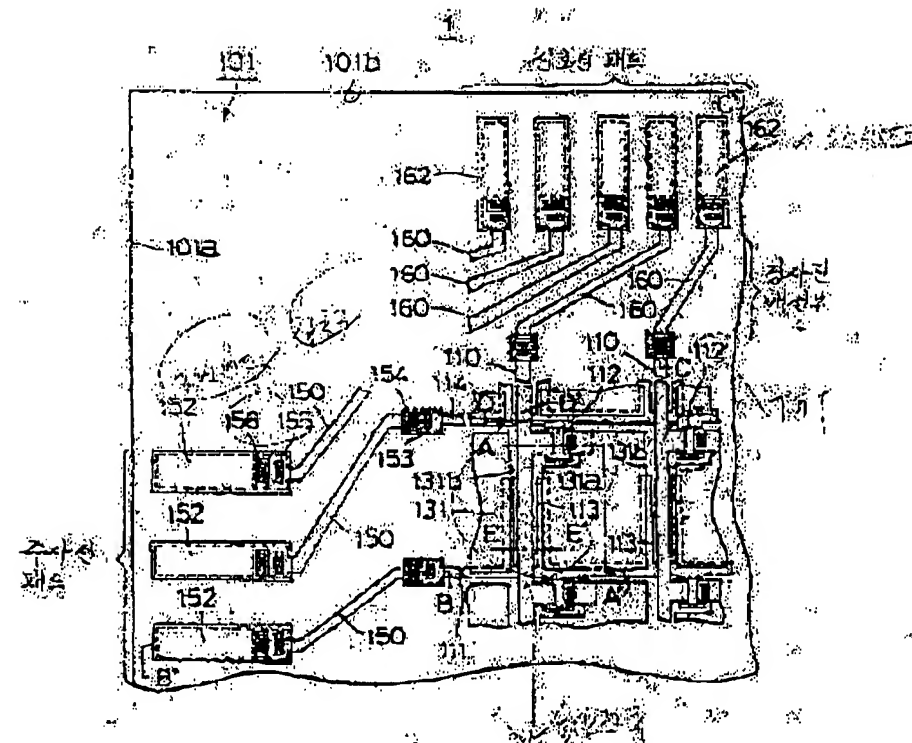
기판상에 배치된 주사선과, 이 위에 배치된 제1절연막, 이 위에 배치된 반도체막, 상기 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터와, 상기 박막트랜지스터상에 배치된 제2절연막과, 상기 드레인 전극에 상기 제2절연막을 통하여 전기적으로 접속된 상기 주사선과 직교하는 신호선과, 상기 소스 전극과 상기 제2절연막을 통하여 전기적으로 접속되는 화소전극과, 상기 신호선에 신호선 인출부를 통하여 전기적으로 접속되는 신호선단자부와, 상기 주사선에 주사선 인출부를 통하여 전기적으로 접속된 주사선단자부를 구비한 표시장치를 아래이 기판에 있어서, 상기 신호선단자부 및 주사선단자부는 상기 주사선과 동일한 재료로 형성된 제1도전층 및 이 제1도전층상에 배치된 상기 화소전극과 동일한 재료로 형성된 제2도전층을 구비하는 것을 특징으로 하는 표시장치를 아래이 기판.

연구항 17

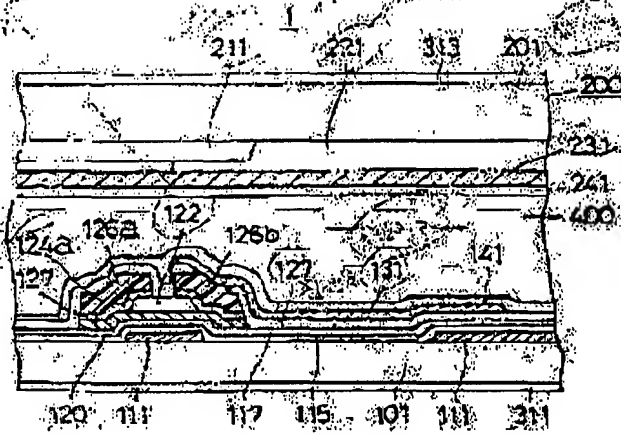
제16항에 있어서, 상기 신호선 인출부 및 주사선 인출부는 상기 주사선과 동일한 재료로 형성된 상기 제1도전층 및 이 제1도전층과 상기 제2절연막을 통하여 상기 신호선과 동일한 재료로 형성된 제3도전층을 각각 갖고, 상기 제1도전층과 상기 제3도전층을 상기 제2도전층을 통하여 전기적으로 접속되어 있는 것을 특징으로 하는 표시장치를 아래이 기판.

도면

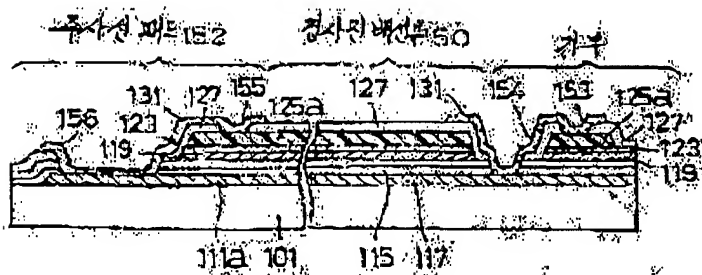
도면



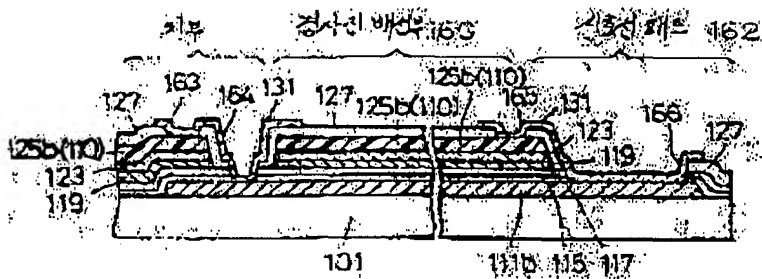
도 2



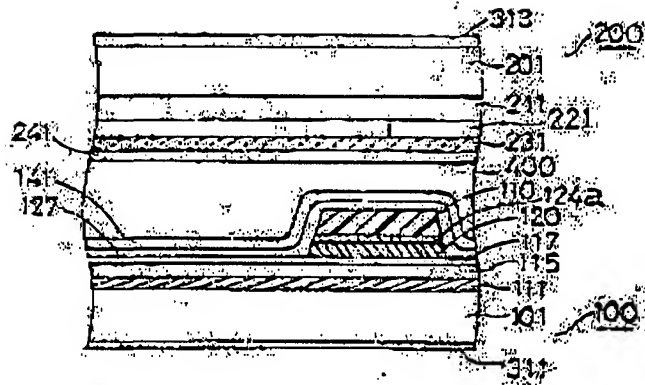
도 3



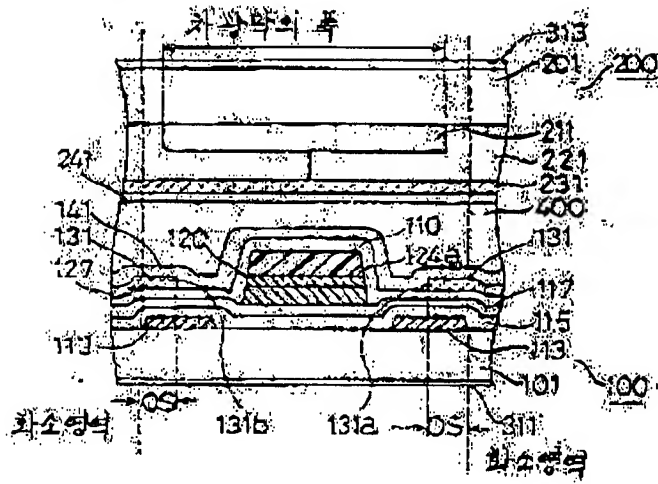
도 4

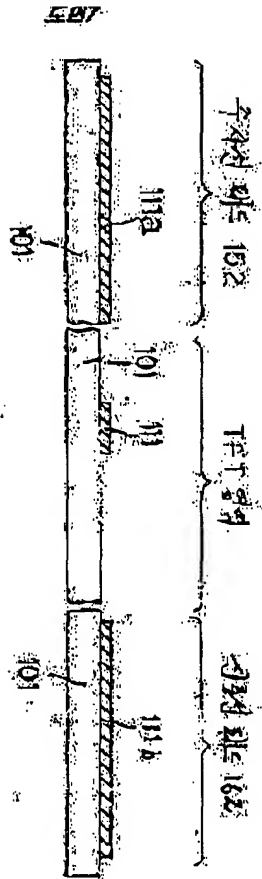


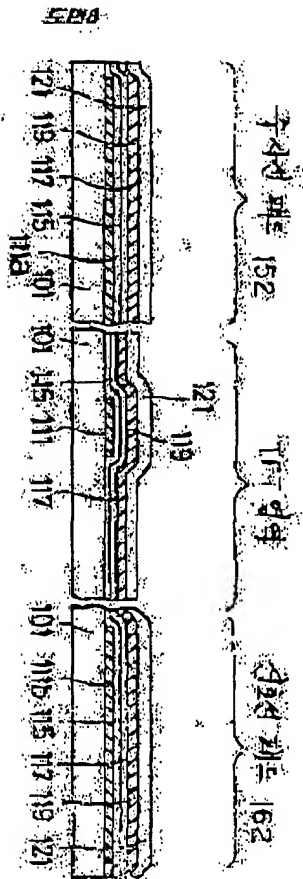
도 15

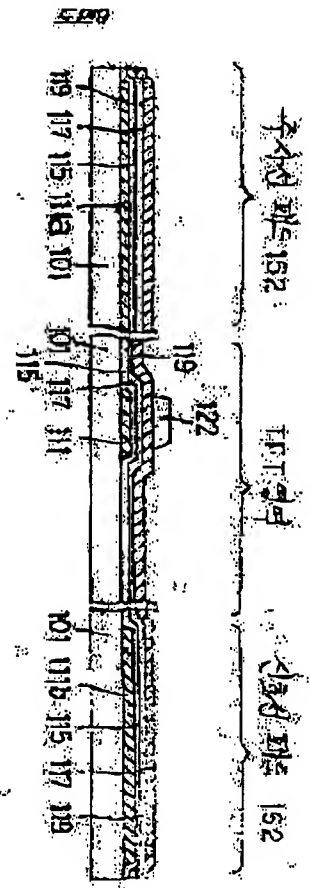


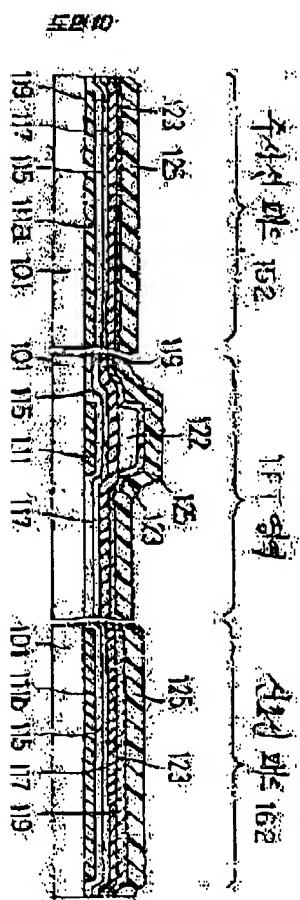
도 16

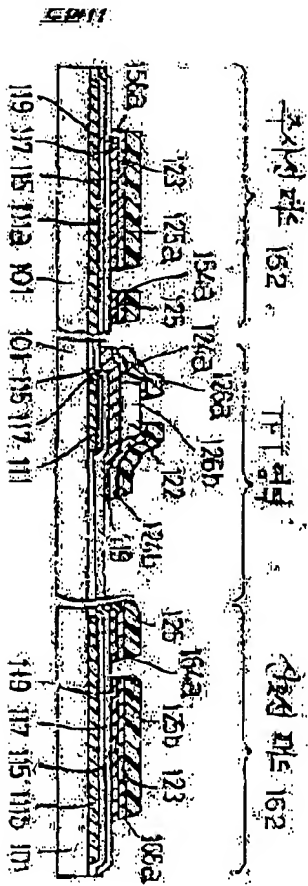


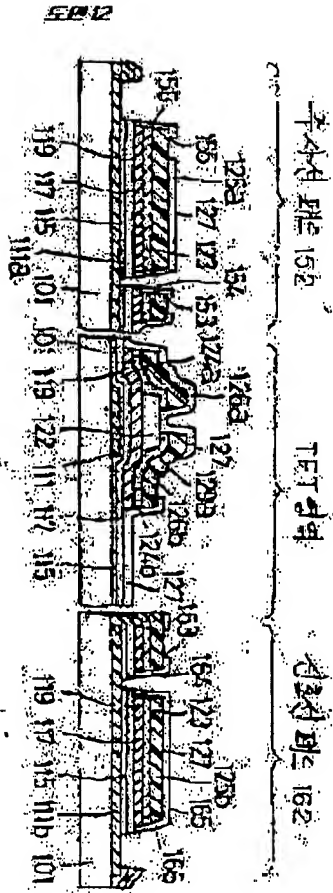




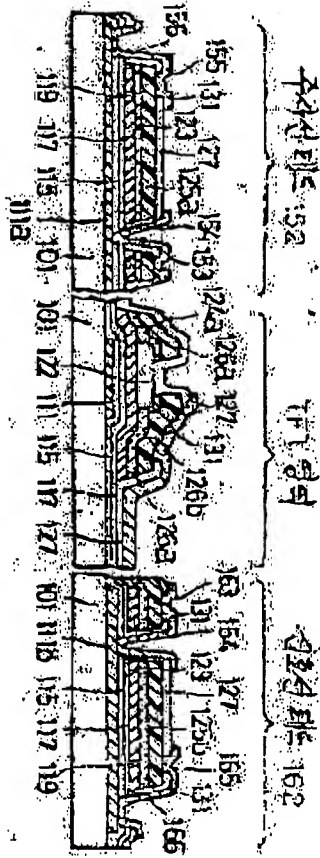








도면 13



도면 14

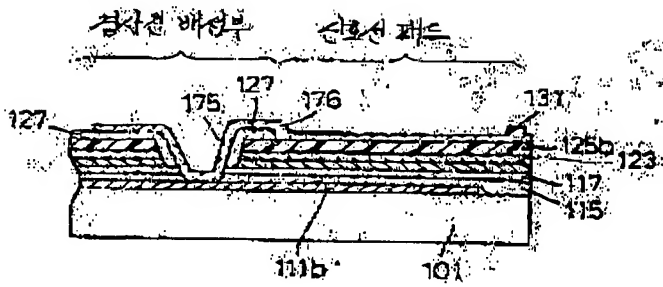


FIG. 15

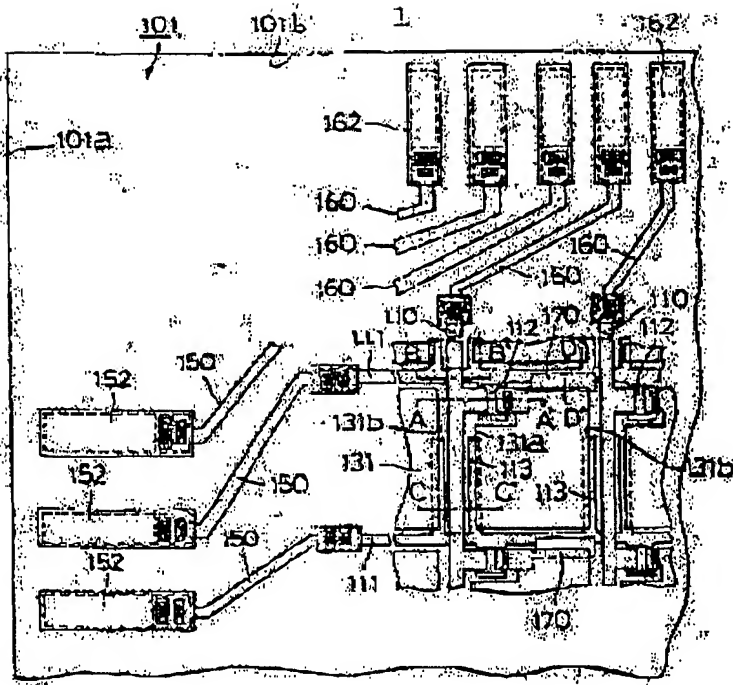
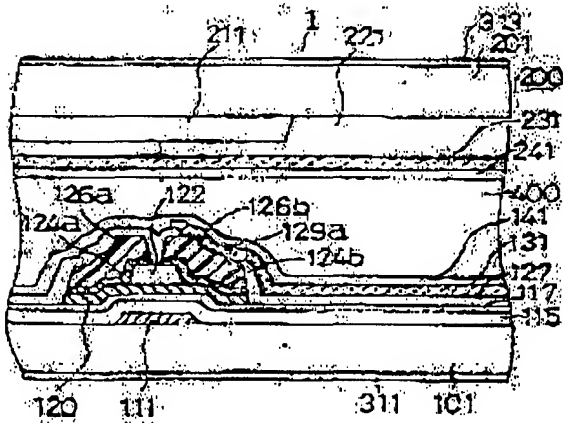
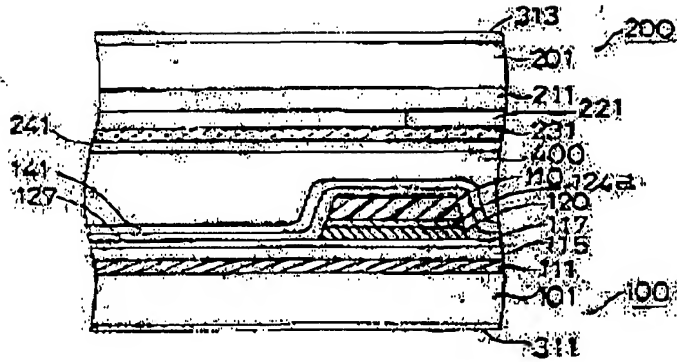


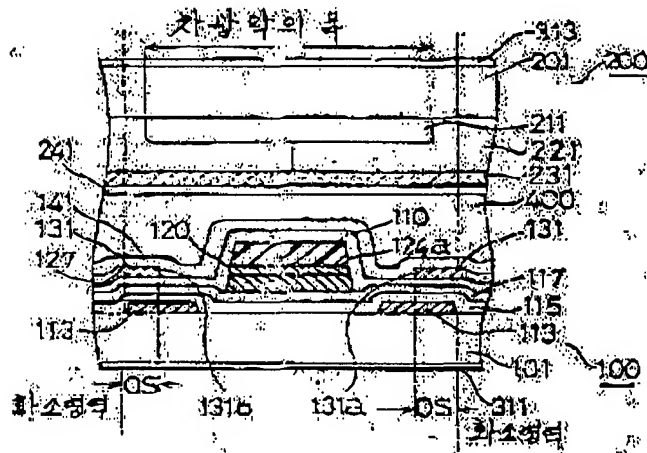
FIG. 16



도면 17



도면 18



도면 19

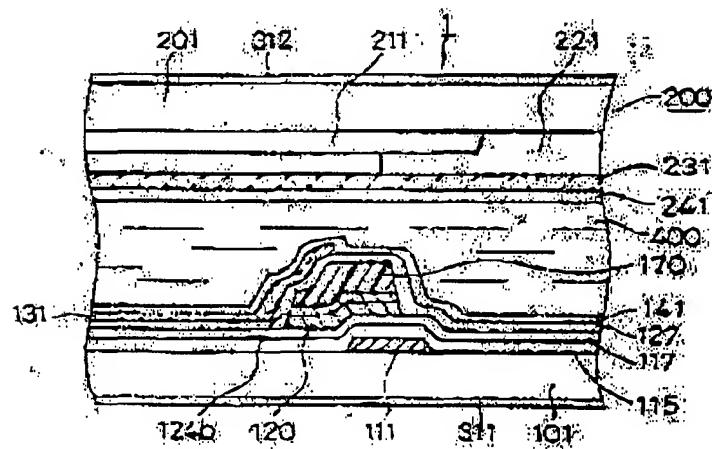


FIG. 20

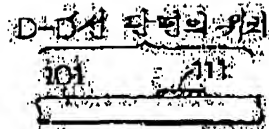
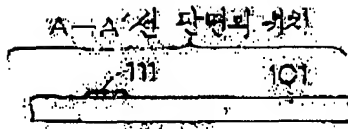


FIG. 21

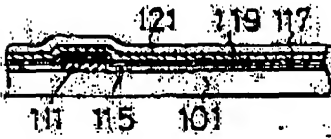


FIG. 22

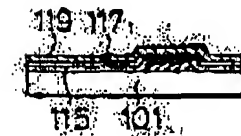


FIG. 23

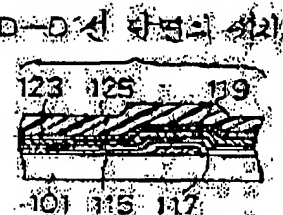
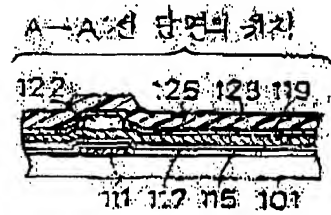


FIG. 24

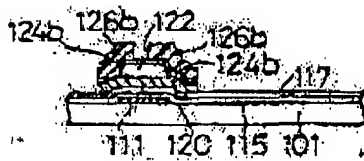
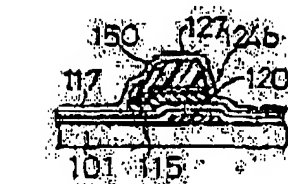
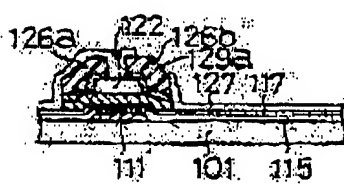


FIG. 25



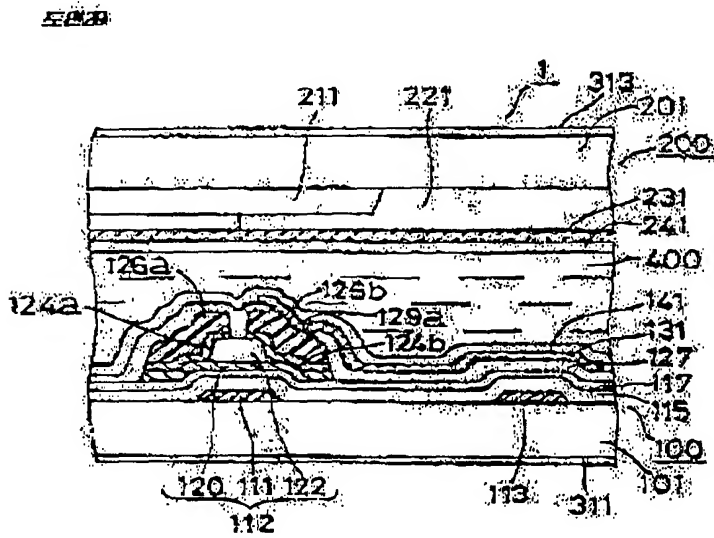
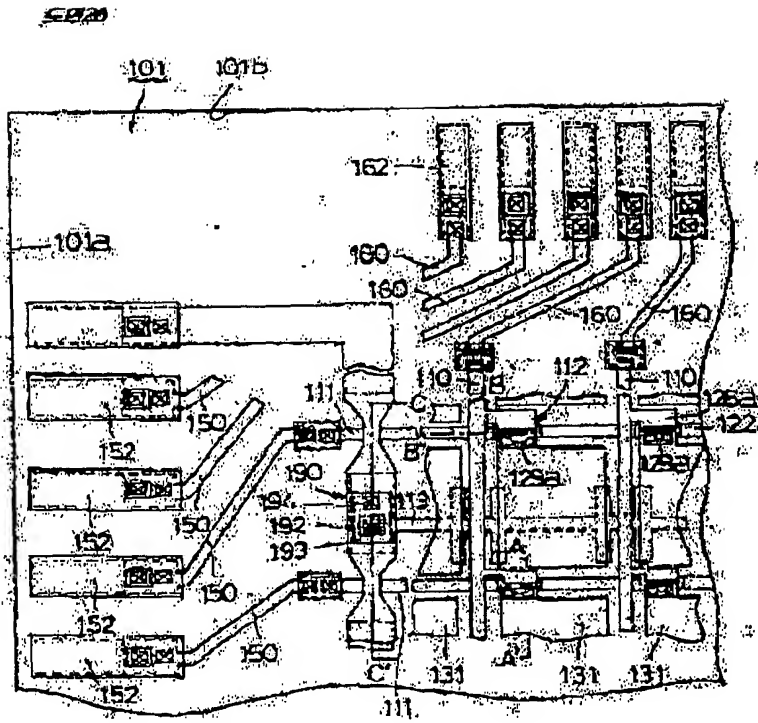


FIG 30

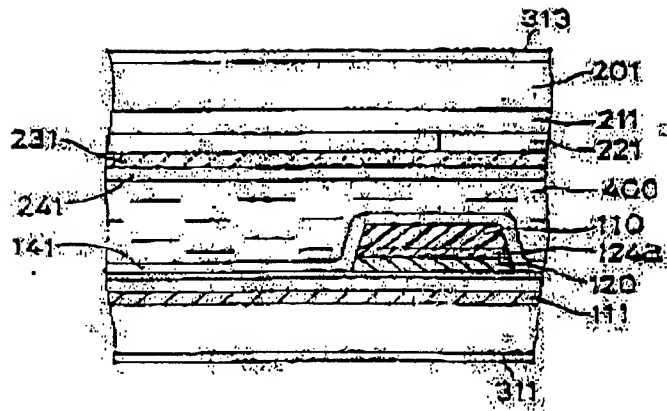


FIG 31

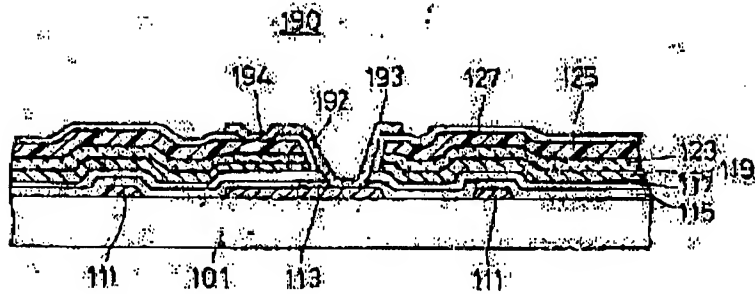


FIG 32

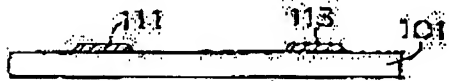


FIG 33



FIG 34

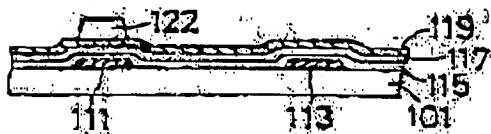


図35



図36

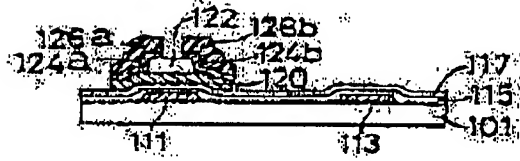


図37

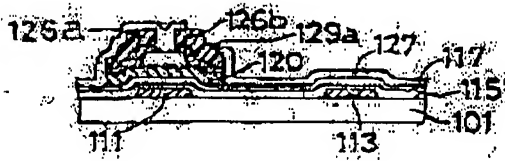


図38

